

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

Jc914 U.S. PTO
09/662219

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.

出 願 年 月 日
Date of Application:

1999年 9月14日

願 番 号
Application Number:

平成11年特許願第260270号

願 人
Applicant (s):

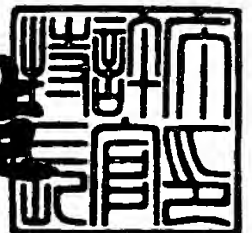
株式会社東芝

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 7月14日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 A009903076

【提出日】 平成11年 9月14日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/027

【発明の名称】 半導体製造用マスクのパターン補正方法およびそのパターン補正方法を記録した記録媒体

【請求項の数】 6

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 吉川 圭

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 臼井 聡

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 橋本 耕治

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1



【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体製造用マスクのパターン補正方法およびそのパターン補正方法を記録した記録媒体

【特許請求の範囲】

【請求項 1】 ライン部とコンタクト部とが重なった領域を抽出する第 1 の工程と、

前記重なった領域とこの重なった領域に隣接する他のライン部とのスペース、および前記ライン部のライン幅を抽出する第 2 の工程と、

前記ライン幅毎に、ウェーハプロセス後に生ずる前記ライン部のライン幅変動量と前記スペースとの関係を取得する第 3 の工程と、

前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交点を抽出する第 4 の工程と、

前記関係を交点区間毎に区切り、前記交点区間毎に、前記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成する第 5 の工程と、

前記スペースと前記交点区間との対応関係を求め、前記補正ルールテーブルに基いた前記設計グリッド幅の整数倍の補正を、前記重なった領域に対して行う第 6 の工程と

を具備することを特徴とする半導体製造用マスクのパターン補正方法。

【請求項 2】 ライン部とコンタクト部とが重なった領域を抽出する第 1 の工程と、

前記重なった領域とこの重なった領域に隣接する他のライン部とのスペース、および前記ライン部のライン幅を抽出する第 2 の工程と、

前記ライン幅毎に、ウェーハプロセス後に生ずる前記ライン部のショートニング量と前記スペースとの関係を取得する第 3 の工程と、

前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交点を抽出する第 4 の工程と、

前記関係を交点区間毎に区切り、前記交点区間毎に、前記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成する第 5 の工程と、

前記スペースと前記交点区間との対応関係を求め、前記補正ルールテーブルに



基いた前記設計グリッド幅の整数倍の補正を、前記重なった領域に対して行う第 6 の工程と

を具備することを特徴とする半導体製造用マスクのパターン補正方法。

【請求項 3】 コンタクト部とトランジスタ領域とが重なった領域を抽出する第 1 の工程と、

前記トランジスタ領域に隣接する他のトランジスタ領域との間のスペース、および前記トランジスタ領域端から前記重なった領域までの距離 F を抽出する第 2 の工程と、

前記コンタクト部をデザインルールで規定された最小フリンジ量 D 拡大する第 3 の工程と、

前記補正量とスペースとの関係を取得する第 4 の工程と、

前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交点を抽出する第 5 の工程と、

前記関係を交点区間毎に区切り、前記交点区間毎に、前記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成する第 6 の工程と、

前記スペースと前記交点区間との対応関係を求め、前記補正ルールテーブルに基いた前記設計グリッド幅の整数倍の補正を、 $D \leq F$ の場合、前記トランジスタ領域端の全体に対して行い、 $F < D$ の場合、前記トランジスタ領域端の、前記トランジスタ領域端と前記拡大したコンタクト部とが接する辺を除いた部分に対して行う第 7 の工程と

を具備することを特徴とする半導体製造用マスクのパターン補正方法。

【請求項 4】 ライン部とコンタクト部とが重なった領域を抽出する第 1 の手順と、

前記重なった領域とこの重なった領域に隣接する他のライン部とのスペース、および前記ライン部のライン幅を抽出する第 2 の手順と、

前記ライン幅毎に、ウェーハプロセス後に生ずる前記ライン部のライン幅変動量と前記スペースとの関係を取得する第 3 の手順と、

前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交点を抽出する第 4 の手順と、



前記関係を交点区間毎に区切り、前記交点区間毎に、前記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成する第5の手順と、

前記スペースと前記交点区間との対応関係を求め、前記補正ルールテーブルに基いた前記設計グリッド幅の整数倍の補正を、前記重なった領域に対して行う第6の手順と

を記録したことを特徴とするコンピュータにより読み取り可能な記録媒体。

【請求項5】 ライン部とコンタクト部とが重なった領域を抽出する第1の手順と、

前記重なった領域とこの重なった領域に隣接する他のライン部とのスペース、および前記ライン部のライン幅を抽出する第2の手順と、

前記ライン幅毎に、ウェーハプロセス後に生ずる前記ライン部のショートニング量と前記スペースとの関係を取得する第3の手順と、

前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交点を抽出する第4の手順と、

前記関係を交点区間毎に区切り、前記交点区間毎に、前記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成する第5の手順と、

前記スペースと前記交点区間との対応関係を求め、前記補正ルールテーブルに基いた前記設計グリッド幅の整数倍の補正を、前記重なった領域に対して行う第6の手順と

を記録したことを特徴とするコンピュータにより読み取り可能な記録媒体。

【請求項6】 コンタクト部とトランジスタ領域とが重なった領域を抽出する第1の手順と、

前記トランジスタ領域に隣接する他のトランジスタ領域との間のスペース、および前記トランジスタ領域端から前記重なった領域までの距離Fを抽出する第2の手順と、

前記コンタクト部をデザインルールで規定された最小フリンジ量D拡大する第3の手順と、

前記補正量とスペースとの関係を取得する第4の手順と、

前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交

点を抽出する第 5 の手順と、

前記関係を交点区間毎に区切り、前記交点区間毎に、前記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成する第 6 の手順と、

前記スペースと前記交点区間との対応関係を求め、前記補正ルールテーブルに基いた前記設計グリッド幅の整数倍の補正を、 $D \leq F$ の場合、前記トランジスタ領域端の全体に対して行い、 $F < D$ の場合、前記トランジスタ領域端の、前記トランジスタ領域端と前記拡大したコンタクト部とが接する辺を除いた部分に対して行う第 7 の手順と

を記録したことを特徴とするコンピュータにより読み取り可能な記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置製造におけるリソグラフィ工程で用いられる露光用マスクのパターン補正方法とマスクパターン補正装置、そしてそれらを用いた露光用マスクと半導体装置に関する。

【0002】

【従来の技術】

近年、半導体デバイスの微細化に伴い、仕上がりが設計寸法通りにできない箇所の問題が顕在化してきた。その一例として、ライン終端部のショートニングが挙げられる。ショートニングの原因としては、マスクが設計寸法通りにできていない、ライン終端のコーナー部がすでに光の解像限界である、また、エッチングによる変換差などが挙げられる。

【0003】

ボーダーレスコンタクトの配線パターンを例にとると、コンタクトの落ちるライン終端がショートニングした場合、ラインとコンタクトホールとの接触面積が減少し、ビア抵抗の上昇を引き起こす。これは、デバイスのパフォーマンスを落とす一因となる。

【0004】

このようなショートニングを回避するため、コンタクト部に対して予め、ある

程度のフリンジ量を付けて設計する、あるいは実験により見積もったフリンジ量を補正ツールを使うことにより一律に付ける手法が一般的に用いられている。

【 0 0 0 5 】

しかし、ショートニング量等の仕上がり誤差は、パターンの疎密、あるいは線幅などにより変化することが十分に考えられる。

【 0 0 0 6 】

【発明が解決しようとする課題】

このように、従来のマスクパターン補正方法では、仕上がり誤差のパターン依存性が考慮されておらず、十分な補正精度が必ずしも得られてはいない、という事情がある。

【 0 0 0 7 】

この発明は、上記事情に鑑み為されたもので、その目的は、十分な補正精度を得ることができる半導体製造用マスクのパターン補正方法を提供することにある。

【 0 0 0 8 】

【課題を解決するための手段】

上記目的を達成するために、この発明の第 1 の態様に係る半導体製造用マスクのパターン補正方法は、ライン部とコンタクト部とが重なった領域を抽出し、前記重なった領域とこの重なった領域に隣接する他のライン部とのスペース、および前記ライン部のライン幅を抽出し、前記ライン幅毎に、ウェーハプロセス後に生ずる前記ライン部のライン幅変動量と前記スペースとの関係を取得し、前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交点を抽出し、前記関係を交点区間毎に区切り、前記交点区間毎に、前記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成し、前記スペースと前記交点区間との対応関係を求め、前記補正ルールテーブルに基いた前記設計グリッド幅の整数倍の補正を、前記重なった領域に対して行うことを特徴としている。

【 0 0 0 9 】

また、上記目的を達成するために、この発明の第 2 の態様に係る半導体製造用マスクのパターン補正方法は、ライン部とコンタクト部とが重なった領域を抽出

し、前記重なった領域とこの重なった領域に隣接する他のライン部とのスペース、および前記ライン部のライン幅を抽出し、前記ライン幅毎に、ウェーハプロセス後に生ずる前記ライン部のショートニング量と前記スペースとの関係を取得し、前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交点を抽出し、前記関係を交点区間毎に区切り、前記交点区間毎に、前記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成し、前記スペースと前記交点区間との対応関係を求め、前記補正ルールテーブルに基いた前記設計グリッド幅の整数倍の補正を、前記重なった領域に対して行うことを特徴としている。

【 0 0 1 0 】

また、上記目的を達成するために、この発明の第 3 の態様に係る半導体製造用マスクのパターン補正方法は、ライン部とコンタクト部とが重なった領域を抽出し、前記コンタクト部をデザインルールで規定された最小フリンジ量拡大し、拡大したコンタクト部と前記ライン部の端とが接する辺を抽出し、前記重なった領域とこの重なった領域に隣接する他のライン部とのスペース、および前記ライン部のライン幅を抽出し、前記ライン幅毎に、ウェーハプロセス後に生ずる前記ライン部のショートニング量と前記スペースとの関係を取得し、前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交点を抽出し、前記関係を交点区間毎に区切り、前記交点区間毎に、前記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成し、前記スペースと前記交点区間との対応関係を求め、前記補正ルールテーブルに基いた前記設計グリッド幅の整数倍の補正を、前記接する辺に対して行うことを特徴としている。

【 0 0 1 1 】

また、上記目的を達成するために、この発明の第 4 の態様に係る半導体製造用マスクのパターン補正方法は、トランジスタ領域上を走るライン部の終端部分のうち、ゲート端であり、かつトランジスタ領域上にない領域を抽出し、前記ゲート端であり、かつトランジスタ領域上にない領域の面積を抽出し、前記面積毎に、ウェーハプロセス後に生ずる前記ライン部のショートニング量と前記面積との関係を取得し、前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交点を抽出し、前記関係を交点区間毎に区切り、前記交点区間毎に、

前記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成し、前記スペースと前記交点区間との対応関係を求め、前記補正ルールテーブルに基いた前記設計グリッド幅の整数倍の補正を、前記ゲート端であり、かつトランジスタ領域上にない領域に対して行うことを特徴としている。

【 0 0 1 2 】

また、上記目的を達成するために、この発明の第 5 の態様に係る半導体製造用マスクのパターン補正方法は、トランジスタ領域のコーナー部を抽出し、前記コーナー部からライン部までの距離を抽出し、前記ライン部が前記コーナー部のラウンディングと重ならない最小距離を取得し、前記ライン部が前記コーナー部のラウンディングと重なる場合、切り欠き処理を、前記コーナー部に対して行うことを特徴としている。

【 0 0 1 3 】

また、上記目的を達成するために、この発明の第 6 の態様に係る半導体製造用マスクのパターン補正方法は、コンタクト部がトランジスタ領域に接触する第 1 の接触領域、およびコンタクト部がライン部に接触する第 2 の接触領域を抽出し、前記第 1、第 2 の接触領域の直径を抽出し、前記第 1、第 2 の接触領域の直径差と、前記ライン部の寸法との関係を取得し、前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交点を抽出し、前記関係を交点区間毎に区切り、前記交点区間毎に、前記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成し、前記ライン部の寸法と前記交点区間との対応関係を求め、前記補正ルールテーブルに基いた前記設計グリッド幅の整数倍の補正を、前記前記第 1 の接触領域および前記第 2 の接触領域のいずれかに対して行うことを特徴としている。

【 0 0 1 4 】

また、上記目的を達成するために、この発明の第 7 の態様に係る半導体製造用マスクのパターン補正方法は、コンタクト部に対してライン部が重なる第 1 の領域、およびライン部に対してコンタクト部が重なる第 2 の領域を抽出し、前記第 1 の領域とこの第 1 の領域に隣接する他のライン部とのスペース、および前記ライン部のライン幅を抽出し、前記ライン幅毎に、ウェーハプロセス後に生ずる前

記ライン部のショートニング量と前記スペースとの第 1 の関係を取得し、前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交点を抽出し、前記関係を交点区間毎に区切り、前記交点区間毎に、前記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成し、前記第 2 の領域から前記ライン部の終端までの距離を抽出し、前記ライン幅毎に、ウェーハプロセス後に生ずる前記ライン部のショートニング量と前記第 2 の領域から前記ライン部の終端までの距離との第 2 の関係を取得し、前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交点を抽出し、前記関係を交点区間毎に区切り、前記交点区間毎に、前記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成し、前記スペースと前記交点区間との対応関係、および前記第 2 の領域から前記ライン部の終端までの距離との対応関係を求め、前記補正ルールテーブルに基いた前記設計グリッド幅の整数倍の補正を、前記第 1、第 2 の領域に対して行うことを特徴としている。

【 0 0 1 5 】

また、上記目的を達成するために、この発明の第 8 の態様に係る半導体製造用マスクのパターン補正方法は、コンタクト部とトランジスタ領域とが重なった領域を抽出し、前記トランジスタ領域に隣接する他のトランジスタ領域との間のスペース、および前記トランジスタ領域端から前記重なった領域までの距離 F を抽出し、前記コンタクト部をデザインルールで規定された最小フリンジ量 D 拡大し、前記補正量とスペースとの関係を取得し、前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交点を抽出し、前記関係を交点区間毎に区切り、前記交点区間毎に、前記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成し、前記スペースと前記交点区間との対応関係を求め、前記補正ルールテーブルに基いた前記設計グリッド幅の整数倍の補正を、 $D \leq F$ の場合、前記トランジスタ領域端の全体に対して行い、 $F < D$ の場合、前記トランジスタ領域端の、前記トランジスタ領域端と前記拡大したコンタクト部とが接する辺を除いた部分に対して行うことを特徴としている。

【 0 0 1 6 】

上記構成を有する半導体製造用マスクのパターン補正方法であると、

(1) ウェーハプロセス後に生ずるライン部のライン幅変動量と、ライン部とコンタクト部とが重なった領域とこの重なった領域に隣接する他のライン部とのスペースとの関係。

【0017】

(2) ウェーハプロセス後に生ずるライン部のショートニング量と、ライン部とコンタクト部とが重なった領域とこの重なった領域に隣接する他のライン部とのスペースとの関係。

【0018】

(3) ウェーハプロセス後に生ずるライン部のショートニング量とトランジスタ領域上を走るライン部の終端部分のうち、ゲート端であり、かつトランジスタ領域上にない領域の面積との関係。

【0019】

(4) ウェーハプロセス後に生ずるトランジスタ領域のラウンディング量とライン部との関係。

【0020】

(5) ウェーハプロセス後に生ずるコンタクト部がトランジスタ領域に接触する第1の接触領域、およびコンタクト部がライン部に接触する第2の接触領域の直径差と、ライン部の寸法との関係。

【0021】

(6) ウェーハプロセス後に生ずるライン部のショートニング量とライン部に対してコンタクト部が重なる領域からライン部の終端までの距離との関係。

【0022】

(7) 補正量と一のトランジスタ領域に隣接する他のトランジスタ領域との間のスペースとの関係、拡大したコンタクト部が一のトランジスタ領域に接するかどうか。

【0023】

上記(1)～(7)のように、補正するパターンの周囲の環境を考慮するので、周囲の環境を考慮しない補正方法に比べて、十分な補正精度を得ることができる。

【 0 0 2 4 】

【発明の実施の形態】

以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【 0 0 2 5 】

〔第 1 の実施形態〕

まず、この発明の第 1 の実施形態に係るマスクパターン補正方法を説明する。

【 0 0 2 6 】

第 1 の実施形態は、ボーダーレスコンタクトを有する配線パターン（ライン部）において、コンタクト部と重なった領域のパターンを、その領域周囲のパターンの疎密、およびライン部のライン幅を考慮して補正し、変更するフリンジ処理である。

【 0 0 2 7 】

図 1 は、第 1 の実施形態に係るマスクパターン補正方法を示す流れ図、図 2 ～ 図 8 はそれぞれ、図 1 に示す各ステップを説明するための図である。

【 0 0 2 8 】

図 1 に示すステップ S T. 1 において、まず、ライン部とコンタクト部とが重なった領域を抽出する。図 2 に、第 1 の実施形態に用いられた、ライン部、コンタクト部、およびこれらが重なった領域をそれぞれ持つパターンの一例を示す。なお、図 2 に示す一例は、デザイン上、たとえば C A D データ上のものである。

【 0 0 2 9 】

図 2 に示すように、一例に係るパターンは、互いに並行するライン部 1、2、3-1、3-2 をそれぞれ持つ。ライン部 3-1、3-2 はそれぞれ、ライン部 1 とライン部 2 との間に配置されている。コンタクト部 4-1 は、ライン部 3-1 の終端に重なっている。また、コンタクト部 4-2 は、ライン部 3-2 の中程に重なり、その終端には重なっていない。

【 0 0 3 0 】

次に、ステップ S T. 2 において、上記重なった領域と、これに隣接するライン部とのスペース（距離）をそれぞれ、デザイン上、たとえば C A D データ上で

抽出する。

【 0 0 3 1 】

ここで、上記スペースに関しては、図 3 に示すように、ライン部の終端に重なるコンタクト部 4-1 の場合、重なった領域の三辺それぞれに相對したライン部までのスペースをそれぞれ抽出する。一方、コンタクト部 4-2 のように、ライン部の中程のみに重なる場合には、重なった領域の二辺それぞれに相對したライン部までのスペースをそれぞれ抽出する。

【 0 0 3 2 】

上記一例に係るパターンにおいては、コンタクト部 4-1 からライン部 1 までのスペース S_1 、コンタクト部 4-1 からライン部 3-2 までのスペース S_2 、およびコンタクト部 4-1 からライン部 2 までのスペース S_3 をそれぞれデザイン上で測定し、抽出した。また、コンタクト部 4-2 からライン部 1 までのスペース S_4 、およびコンタクト部 4-2 からライン部 3-2 までのスペース S_5 をそれぞれデザイン上で測定し、抽出した。

【 0 0 3 3 】

さらにステップ S T. 2 において、スペース $S_1 \sim S_5$ の他、ライン部のライン幅を抽出する。

【 0 0 3 4 】

上記一例に係るパターンにおいては、コンタクト部 4-1 が重なるライン部 3-1 のライン幅 L をデザイン上で測定し、抽出した。なお、ライン部 3-1 のライン幅 L と、ライン幅 3-2 のライン幅とは互いに等しい。

【 0 0 3 5 】

次に、ステップ S T. 3 において、スペースとライン幅変動量との関係を、実験的、あるいはシミュレーションにより取得する。この関係は、実験的に取得する場合、図 4 に示すようなライン・アンド・スペース (L/S) パターンを持つ測定パターンをウェーハ上に形成し、これを走査型電子顕微鏡 (SEM) や電氣的測定を用いて、ライン幅変動量を測定すれば良い。また、シミュレーションにより取得する場合には、図 4 に示すような測定パターンを製造プロセスシミュレータに再現させ、そのライン幅変動量を計算すれば良い。

【0036】

次に、ステップST. 4において、取得したスペースとライン幅変動量との関係を用いて、隣接するライン部とのスペースに対する補正ルールを作成する。スペースとライン幅変動量との関係を、図5および図6に示す。

【0037】

図5および図6に示すように、一例に係るパターンにおいては、ライン幅 L は、スペース S が大きくなる程、ライン幅変動量が“0”、即ち設計値から大きくずれる（変動極性I）。つまり、スペース S が大きくなる程、ライン幅 L は細くなる。このような傾向に基き、第1の実施形態では、上記重なった領域に対して、スペース S が大きくなるにしたがって、上記重なった領域の幅が大きくなるようにパターンを補正する補正ルールを作成する。

【0038】

次に、ステップST. 5において、上記補正ルールにより、補正ルールテーブルを作成する。このために、図5および図6に示すように、縦軸（ライン幅変動量）を、設計グリッド幅 W 毎に分割する（設計グリッド幅 W は、たとえばCAD上で一度に付加することのできる最小の幅である。）。次に、設計グリッド幅 W と変動曲線Iとの交点をそれぞれ抽出する。この作業によって得た交点をそれぞれ“a”、“b”、“c”とする。次に、スペース S が“ $S < a$ ”の範囲では、補正値を“0”とし、スペース S が“ $a \leq S < b$ ”の範囲では、“ $+W$ ”の補正値を設ける。さらにスペース S が“ $b \leq S < c$ ”の範囲では、“ $+2W$ ”の補正値を設け、スペース S が“ $c \leq S$ ”の範囲では、“ $+3W$ ”の補正値を設ける。このような作業により、図7に示すような補正ルールテーブルが作成される。

【0039】

さらにステップST. 5において、作成した補正ルールテーブルから、ステップST. 2で求めたスペース S_1 、 S_2 、 S_3 、 S_4 、 S_5 に対する補正値を抽出する。

【0040】

次に、ステップST. 6において、抽出した補正値を、ライン部とコンタクト部とが重なった領域のライン端に、フリンジ量として付加する。このフリンジ処

理は、この発明に適合した補正ツールをプログラムにより作成し、たとえばCADに格納しておき、適宜用いることで、自動的に行うことができる。フリンジ処理が終了した状態の一例に係るパターンを、図8に示す。図8に示すように、上記重なった領域にはそれぞれ、フリンジ5-1、5-2が設けられている。

【0041】

このような第1の実施形態によれば、ライン部とコンタクト部とが重なった領域に対して、パターンの疎密、およびそのライン幅等、その周囲の環境を考慮した補正フリンジ量を求め、求めた補正フリンジ量を、補正ルールテーブル化しておく。この後、補正ルールテーブルに従って、補正ツールを用いて自動でフリンジ処理を行う。

【0042】

このようなフリンジ処理が行われた半導体製造用マスクを用いて、ウェーハプロセスにより形成されたパターンにおいては、たとえば周囲の環境に関係なく一律なフリンジ処理を行ったマスクを用いた場合に比べて、上記重なった領域を、より設計値に近い状態、あるいは設計値通りに仕上げるができる。

【0043】

このように上記重なった領域が、より設計値に近い状態に仕上がることで、たとえばコンタクト面積の減少等に伴ったコンタクト抵抗の上昇の問題等を、回避できる。よって、形成された集積回路においては、設計値に近いコンタクト抵抗を得ることができ、回路上、期待される電氣的パフォーマンスを、容易に得ることができる。

【0044】

また、補正ルールの一例(図5)と、他の例(図6)との違いは、ライン幅変動量“0”を基準にして補正値を“W”ずつ付けていくか、ライン幅変動量“0”に設計グリッド幅Wの $1/2$ を足した値を基準にして補正値を“W”ずつ付けていくかである。どちらの例でも、ウェーハ上に形成されたパターンを、設計値に近い状態、あるいは設計値通りに仕上げるができる。

【0045】

しかし、図6に示す設計グリッド幅Wの $1/2$ を足した値を基準にして補正値

を、“+W” ずつ付けていく他の例のほうが、設計値に近い状態、あるいは設計値通りに仕上がり易い。

【0046】

なぜならば図5に示す一例においては、たとえば“ $S < c$ ” のとき、ライン幅Lの変動を、ライン幅変動量“0”（即ち設計値）から“-W”の範囲に変動に抑えることができるのに対し、図6に示す他の例においては、ライン幅変動量“0”（即ち設計値）から“ $\pm W/2$ ”の範囲に、さらに変動を抑えることができるからである。

【0047】

また、図8に示すように、上記一例に係るパターンにおいては、ライン幅Lを持つライン部3-1、3-2に対してフリンジ5-1、5-2を付加する補正を行ったが、ライン幅L以外のライン幅が存在する場合には、各ライン幅毎にそれぞれ、上記と同様な方法で補正ルールを作成し、この補正ルールにより補正ルールテーブルを作成する。この後、ライン幅毎に、それぞれ作成した補正ルールテーブルに基づいてフリンジを付加する補正を行えば良い。

【0048】

[第2の実施形態]

次に、この発明の第2の実施形態に係るマスクパターン補正方法を説明する。

【0049】

第2の実施形態は、第1の実施形態と同様に、ボーダーレスコンタクトを有する配線パターン（ライン部）において、コンタクト部と重なった領域のパターンを、その領域周囲のパターンの疎密、およびライン部のライン幅を考慮して補正し、変更するフリンジ処理である。異なるところは、第1の実施形態では、ライン幅変動量とスペースとの関係に基づき、補正ルールを作成したのに対し、第2の実施形態では、ライン部のショートニング量とスペースとの関係に基づき、補正ルールを作成するようにしたことである。

【0050】

図9は、第2の実施形態に係るマスクパターン補正方法を示す流れ図、図10～図16はそれぞれ、図9に示す各ステップを説明するための図である。

【0051】

まず、図9に示すステップST. 1において、ライン部とコンタクト部とが重なった領域を抽出する。図10に、第2の実施形態に用いられた、パターンの一例を示す。なお、図10に示す一例は、デザイン上、たとえばCADデータ上のものであり、図2に示した一例と同様のパターンである。

【0052】

次に、ステップST. 2において、上記重なった領域と、これに隣接するライン部とのスペース（距離）をそれぞれ、デザイン上、たとえばCADデータ上で抽出する。

【0053】

ここで、上記スペースに関しては、第1の実施形態と同様に、コンタクト部4-1からライン部1までのスペース S_1 、コンタクト部4-1からライン部3-2までのスペース S_2 、コンタクト部4-1からライン部2までのスペース S_3 、コンタクト部4-2からライン部1までのスペース S_4 、およびコンタクト部4-2からライン部2までのスペース S_5 をそれぞれデザイン上で測定し、抽出した。

【0054】

さらにステップST. 2において、スペース $S_1 \sim S_5$ とともに、ライン部のライン幅を抽出する。ここでも第1の実施形態と同様に、コンタクト部4-1が重なるライン部3-1のライン幅 L をデザイン上で測定し、抽出した。なお、ライン部3-1のライン幅 L と、ライン幅3-2のライン幅とは互いに等しい、とする。

【0055】

次に、ステップST. 3において、スペースとライン部のショートニング量との関係を、実験的、あるいはシミュレーションにより取得する。この関係は、実験的に取得する場合、図12に示すようなパターンを持つ測定パターンをウェーハ上に形成し、これを走査型電子顕微鏡（SEM）や電氣的測定を用いて、ショートニング量を測定すれば良い。また、シミュレーションにより取得する場合には、図12に示すような測定パターンを製造プロセスシミュレータに再現させ、そのショートニング量を計算すれば良い。

【0056】

次に、ステップST. 4において、取得したスペースとショートニング量との関係を用いて、隣接するライン部とのスペースに対する補正ルールを作成する。スペースとショートニング量との関係を、図13および図14に示す。

【0057】

図13および図14に示すように、一例に係るパターンのショートニング量は、スペースSが大きくなる程、ショートニング量が“0”、即ち設計値から大きくずれる（変動曲線I）。つまり、スペースSが大きくなる程、ライン幅Lは細くなる。このような傾向に基き、第2の実施形態では、上記重なった領域に対し、スペースSが大きくなるにしたがって、上記重なった領域の幅が大きくなるようにパターンを補正する補正ルールを作成する。

【0058】

次に、ステップST. 5において、上記補正ルールにより、補正ルールテーブルを作成する。このために、まず、図13、および図14に示すように、縦軸（ショートニング量）を、設計グリッド幅W毎に分割する（設計グリッド幅Wは、たとえばCAD上で一度に付加することのできる最小の幅である。）。次に、設計グリッド幅Wと変動曲線Iとの交点をそれぞれ抽出する。この作業によって得た交点をそれぞれ“a”、“b”、“c”とする。次に、スペースSが“ $S < a$ ”の範囲では補正值を“0”とし、スペースSが“ $a \leq S < b$ ”の範囲では、“ $+W$ ”の補正值を設ける。さらにスペースSが“ $b \leq S < c$ ”の範囲では、“ $+2W$ ”の補正值、スペースSが“ $c \leq S$ ”の範囲では、“ $+3W$ ”の補正值を設ける。このような作業により、図15に示すような補正ルールテーブルを作成する。

【0059】

さらにステップST. 5において、作成した補正ルールテーブルから、ステップST. 2で求めたスペース S_1 、 S_2 、 S_3 、 S_4 、 S_5 に対する補正值を抽出する。

【0060】

次に、ステップST. 6において、抽出した補正值を、ライン部とコンタクト部とが重なった領域のライン端に、フリンジ量として付加する。このフリンジ処

理は、この発明に適合した補正ツールをプログラムにより作成して、たとえばCADに格納しておき、適宜用いることで、自動的に行うことが可能である。FRINGE処理が終了した状態の一パターン例を、図16に示す。図16に示すように、上記重なった領域にはそれぞれ、FRINGE 5-1、5-2が設けられている。

【0061】

このような第2の実施形態によれば、第1の実施形態と同様に、ライン部とコンタクト部とが重なった領域に対して、パターンの疎密、およびそのライン幅等、その周囲の環境を考慮した補正FRINGE量を求め、求めた補正FRINGE量を補正ルールテーブル化する。この後、補正ルールテーブルに従って、補正ツールを用いて自動でFRINGE処理を行う。

【0062】

このようなFRINGE処理が行われた半導体製造用マスクを用いて、ウェーハプロセスにより形成されたパターンにおいては、たとえば周囲の環境に関係なく一律なFRINGE処理を行ったマスクを用いた場合に比べて、上記重なった領域を、より設計値に近い状態、あるいは設計値通りに仕上げることができる。

【0063】

このように上記重なった領域が、より設計値に近い状態に仕上がることで、たとえばコンタクト面積の減少等に伴ったコンタクト抵抗の上昇の問題を、回避できる。よって、形成された集積回路においては、設計値に近いコンタクト抵抗を得ることができ、回路上、期待される電氣的パフォーマンスを、容易に得ることができる。

【0064】

また、補正ルールの一例(図13)と、他の例(図14)との違いは、ショートニング量“0”を基準にして補正值を“W”ずつ付けていくか、ショートニング量“0”に設計グリッド幅Wの $1/2$ を足した値を基準にして補正值を“W”ずつ付けていくかである。どちらの例でも、ウェーハ上に形成されたパターンを、設計値に近い状態、あるいは設計値通りに仕上げるができる。

【0065】

しかし、図14に示す設計グリッド幅Wの $1/2$ を足した値を基準にして補正

値を“+W”ずつ付けていく他の例のほうが、設計値に近い状態、あるいは設計値通りに仕上がり易い。

【0066】

なぜならば図13に示す一例においては、たとえば“ $S < c$ ”のとき、ライン幅Lの変動を、ショートニング量“0”（即ち設計値）から“-W”の範囲に変動に抑えることができるのに対し、図14に示す他の例においては、ライン幅変動量“0”（即ち設計値）から“ $\pm W/2$ ”の範囲に、さらに変動を抑えることができるためである。

【0067】

また、図16に示すように、上記一例に係るパターンにおいては、ライン幅Lを持つライン部3-1、3-2に対してフリンジ5-1、5-2を付加する補正を行ったが、ライン幅L以外のライン幅が存在する場合には、各ライン幅毎にそれぞれ、上記と同様な方法で補正ルールを作成し、この補正ルールにより補正ルールテーブルを作成する。この後、ライン幅毎に、それぞれ作成した補正ルールテーブルに基いてフリンジを付加する補正を行えば良い。

【0068】

また、一パターン例に対して、第1、第2の実施形態の双方をそれぞれ適用することも可能である。この場合には、ライン部の短辺どうしが相対するスペース S_2 に対して、第2の実施形態を適用し、ライン部の長辺どうしが相対するスペース S_1 、 S_3 、 S_4 、 S_5 に対して、第1の実施形態を適用する。

【0069】

このようにする理由は、ライン部の短辺どうしが相対するスペースについては、ショートニングが起こりやすいので、スペースとショートニング量との関係に基づき、補正するのが望ましいからである。同様に、ライン部の長辺どうしが相対するスペースについては、ライン幅変動（配線の細り）が起こりやすいので、スペースとライン幅変動との関係に基づき、補正するのが望ましい。

【0070】

〔第3の実施形態〕

次に、この発明の第3の実施形態に係るマスクパターン補正方法を説明する。

【 0 0 7 1 】

第 3 の実施形態は、第 1、第 2 の実施形態とは異なり、ボーダードコンタクトを有する配線パターン（ライン部）において、コンタクト部と重なった領域のパターンを、その領域周囲のパターンの疎密、およびライン部のライン幅を考慮して補正し、変更するフリンジ処理である。

【 0 0 7 2 】

図 1 7 は、第 3 の実施形態に係るマスクパターン補正方法を示す流れ図、図 1 8 ～図 2 5 はそれぞれ、図 1 7 に示す各ステップを説明するための図である。

【 0 0 7 3 】

まず、図 1 7 に示すステップ S T. 1 において、まず、ライン部とコンタクト部とが重なった領域を抽出する。図 1 8 に、第 3 の実施形態に用いられたパターンの一例を示す。なお、図 1 8 に示す一例は、デザイン上、たとえば C A D データ上のものである。

【 0 0 7 4 】

図 1 8 に示すように、一例に係るパターンは、互いに並行するライン部 1、2、3-1、3-2 を持つ。ライン部 3-1、3-2 はそれぞれ、ライン部 1 とライン部 2 との間に配置されている。コンタクト部 4 はライン部 3-1 の終端の部分に設けられたコンタクト領域 3-c に重なっている。

【 0 0 7 5 】

次に、ステップ S T. 2 において、図 1 9 に示すように、コンタクト部 4 を最小デザインルール分だけ拡大する。点線 6 は、拡大したコンタクト部を示している。

【 0 0 7 6 】

さらに、ステップ S T. 2 において、拡大したコンタクト部 6 とライン部 3 のライン端とが接する辺を抽出する。

【 0 0 7 7 】

上記一例に係るパターンにおいては、上記接する辺は、コンタクト領域 3-c のうち、ライン部 3-2 と相対する辺 7 である。

【 0 0 7 8 】

次に、ステップ S T. 3 において、上記接する辺 7 と、これに隣接するライン部とのスペース（距離）を、デザイン上、たとえば CAD データ上で抽出する。

【0079】

ここで、上記スペースに関しては、図 20 に示すように、接する辺 7 からライン部 3-2 までのスペース S をデザイン上で測定し、抽出した。

【0080】

さらにステップ S T. 3 において、スペース S とともに、ライン部のライン幅を抽出する。ここでは、第 1 の実施形態と同様に、コンタクト部 4 が重なるライン部 3-1 のライン幅 L をデザイン上で測定し、抽出した（なお、ライン部 3-1 のライン幅 L と、ライン幅 3-2 のライン幅とは互いに等しい、とする）。

【0081】

次に、ステップ S T. 4 において、スペースとライン部のショートニング量との関係を、実験的、あるいはシミュレーションにより取得する。この関係は、実験的に取得する場合、図 21 に示すようなパターンを持つ測定パターンをウェーハ上に形成し、これを走査型電子顕微鏡（SEM）や電氣的測定を用いて、ショートニング量を測定すれば良い。また、シミュレーションにより取得する場合には、図 21 に示すような測定パターンを製造プロセスシミュレータに再現させ、そのショートニング量を計算すれば良い。

【0082】

次に、ステップ S T. 5 において、取得したスペースとショートニング量との関係を用いて、隣接するライン部とのスペースに対する補正ルールを作成する。スペースとショートニング量との関係を図 22、および図 23 に示す。

【0083】

図 22、および図 23 に示すように、一パターン例ではショートニング量は、変動曲線 I に示すようにスペース S が大きくなる程、ショートニング量が“0”、即ち設計値から大きくずれる。つまり、スペース S が大きくなる程、ライン幅 L は細くなる。このような傾向に基き、第 3 の実施形態では、上記接する辺 7 に対して、スペース S が大きくなるにしたがって、上記コンタクト領域 3-c の幅が大きくなるようにパターンを補正する補正ルールを作成する。

【0084】

次に、ステップST. 6において、上記補正ルールにより、補正ルールテーブルを作成する。このために、まず、図22、および図23に示すように、縦軸（ショートニング量）を、設計グリッド幅W毎に分割する（設計グリッド幅Wは、たとえばCAD上で一度に付加することのできる最小の幅である。）。次に、設計グリッド幅Wと変動曲線Iとの交点をそれぞれ抽出する。この作業によって得た交点をそれぞれ“a”、“b”、“c”とする。次に、スペースSが“ $S < a$ ”では補正値を0とし、スペースSが“ $a \leq S < b$ ”では“+W”の補正値を設ける。さらにスペースSが“ $b \leq S < c$ ”では“+2W”の補正値、スペースSが“ $c \leq S$ ”では“+3W”の補正値を設ける。このような作業により、図24に示すような補正ルールテーブルを得ることができる。

【0085】

さらにステップST. 6において、作成した補正ルールテーブルから、ステップST. 3で求めたスペースSに対する補正値を抽出する。

【0086】

次に、ステップST. 7において、抽出した補正値を、上記接する辺7に、フリンジ量として付加する。このフリンジ処理は、この発明に適合した補正ツールをプログラムにより作成して、たとえばCADに格納しておき、適宜用いることで、自動的に行うことが可能である。フリンジ処理が終了した状態の一パターン例を、図25に示す。図25に示すように、上記接する辺7には、フリンジ8が設けられている。

【0087】

このような第3の実施形態によれば、第1、第2の実施形態と同様に、コンタクト領域3-cと拡大したコンタクト部6とが接する辺7に対して、パターンの疎密、およびそのライン幅等、その周囲の環境を考慮した補正フリンジ量を求め、補正ルールテーブル化する。この後、補正ルールテーブルに従って、補正ツールを用いて自動でフリンジ処理を行う。

【0088】

このようなフリンジ処理が行われた半導体製造用マスクを用いて、ウェーハブ

プロセスにより形成されたパターンにおいては、たとえば周囲の環境に関係なく一律なフリンジ処理を行ったマスクを用いた場合に比べて、上記重なった領域を、より設計値に近い状態、あるいは設計値通りに仕上げることができる。

【0089】

このように上記重なった領域が、より設計値に近い状態に仕上がることで、たとえばコンタクト面積の減少等に伴ったコンタクト抵抗の上昇の問題を、回避できる。よって、形成された集積回路においては、設計値に近いコンタクト抵抗を得ることができ、回路上、期待される電氣的パフォーマンスを、容易に得ることができる。

【0090】

また、補正ルールの一例（図22）と、他の例（図23）との違いは、ショートニング量“0”を基準にして補正値を“W”ずつ付けていくか、ショートニング量“0”に設計グリッド幅Wの $1/2$ を足した値を基準にして補正値を“W”ずつ付けていくかである。どちらの例でも、ウェーハ上に形成されたパターンを、設計値に近い状態、あるいは設計値通りに仕上げるができる。

【0091】

しかし、図23に示す設計グリッド幅Wの $1/2$ を足した値を基準にして補正値を“+W”ずつ付けていく他の例のほうが、設計値に近い状態、あるいは設計値通りに仕上がり易い。

【0092】

なぜならば図22に示す一例においては、たとえば“ $S < c$ ”のとき、ライン幅Lの変動を、ショートニング量“0”（即ち設計値）から“-W”の範囲に変動に抑えることができるのに対し、図23に示す他の例においては、ライン幅変動量“0”（即ち設計値）から“ $\pm W/2$ ”の範囲に、さらに変動を抑えることができるためである。

【0093】

また、図25に示すように、上記一例に係るパターンにおいては、ライン幅Lを持つライン部3-1に対してフリンジ8を付加する補正を行ったが、ライン幅L以外のライン幅が存在する場合には、各ライン幅毎にそれぞれ、上記と同様な方

法で補正ルールを作成し、この補正ルールにより補正ルールテーブルを作成する。その後、ライン幅毎に、それぞれ作成した補正ルールテーブルに基づいてフリンジを付加する補正を行えば良い。

【0094】

[第4の実施形態]

次に、この発明の第4の実施形態に係るマスクパターン補正方法を説明する。

【0095】

第4の実施形態は、トランジスタ領域上を走るラインの終端部分において、ゲート端であり、かつトランジスタ領域にない領域の面積を考慮してショートニングを補正するフリンジ処理である。

【0096】

図26は、第4の実施形態に係るマスクパターン補正方法を示す流れ図、図27～図31はそれぞれ、図26に示す各ステップを説明するための図である。

【0097】

まず、図26に示すステップST. 1において、トランジスタ領域上を走るラインの終端部分のうち、ゲート端であり、かつトランジスタ領域にない領域を抽出する。図27に、第4の実施形態に用いられたパターンの一例を示す。この一例は、デザイン上、たとえばCADデータ上のものであり、図27中、斜線により示す領域9は、ゲート端であり、かつトランジスタ領域にない領域である。

【0098】

次に、ステップST. 2において、上記領域9の面積Aを、デザイン上、たとえばCADデータ上で測定する。

【0099】

次に、ステップST. 3において、面積A毎に、ライン部のショートニング量を、実験的、あるいはシミュレーションにより取得する。このショートニング量は、第1～第3の実施形態と同様に、走査型電子顕微鏡（SEM）や電氣的測定による方法などを用いることで取得できる。

【0100】

次に、ステップST. 4において、上記面積Aに対する補正ルールを作成する

。面積とショートニング量との関係を図28、および図29に示す。

【0101】

図28、および図29に示すように、一パターン例ではショートニング量は、変動曲線Iに示すように面積Aが小さい程、ショートニング量が“0”、即ち設計値からずれる。つまり、面積Aが小さい程、ライン幅Lは細くなる。このような傾向に基き、第4の実施形態では、上記領域に対して、面積Aが小さくなるにしたがって、上記領域9の面積が大きくなるようにパターンを補正する補正ルールを作成する。

【0102】

次に、ステップST. 5において、上記補正ルールにより、補正ルールテーブルを作成する。このために、まず、図28、および図29に示すように、縦軸（ショートニング量）を、設計グリッド幅W毎に分割する（設計グリッド幅Wは、たとえばCAD上で一度に付加することのできる最小の幅である。）。次に、設計グリッド幅Wと変動曲線Iとの交点をそれぞれ抽出する。この作業によって得た交点をそれぞれ“a”、“b”、“c”とする。次に、面積Aが“ $A < a$ ”の範囲では“ $+3W$ ”、“ $a \leq A < b$ ”の範囲では“ $+2W$ ”、“ $b \leq A < c$ ”の範囲では“ $+W$ ”の補正值をそれぞれ設ける。また、面積Aが“ $c \leq A$ ”の範囲では補正值を設けない。このような作業により、図30に示すような補正ルールテーブルが作成される。

【0103】

さらにステップST. 5において、作成した補正ルールテーブルから、ステップST. 2で求めた面積Aに対する補正值を抽出する。

【0104】

次に、ステップST. 6において、抽出した補正值を、上記領域9のライン端に、フリンジ量として付加する。このフリンジ処理は、この発明に適合した補正ツールをプログラムにより作成して、たとえばCADに格納しておき、適宜用いることで、自動的に行うことが可能である。フリンジ処理が終了した状態の一パターン例を、図31に示す。図31に示すように、上記領域9には、フリンジ10が設けられている。

【 0 1 0 5 】

このような第 4 の実施形態によれば、ゲート端であり、かつトランジスタ領域にない領域 9 に対して、その面積を考慮した補正フリンジ量を求め、補正ルールテーブル化する。この後、補正ルールテーブルに従って、補正ツールを用いて自動でフリンジ処理を行う。

【 0 1 0 6 】

このようなフリンジ処理が行われた半導体製造用マスクを用いて、ウェーハプロセスにより形成されたパターンにおいては、たとえばその面積に関係なく一律なフリンジ処理を行ったマスクを用いた場合に比べて、上記領域 9 を、より設計値に近い状態、あるいは設計値通りに仕上げることができる。

【 0 1 0 7 】

このように上記領域 9 が、より設計値に近い状態に仕上がることで、たとえばゲートのショートニングに起因したソースとドレインとの短絡不良等の問題を、回避できる。

【 0 1 0 8 】

また、補正ルールの一例（図 2 8）と、他の例（図 2 9）との違いは、ショートニング量“0”を基準にして補正值を“W”ずつ付けていくか、ショートニング量“0”に設計グリッド幅Wの $1/2$ を足した値を基準にして補正值を“W”ずつ付けていくかである。どちらの例でも、ウェーハ上に形成されたパターンを、設計値に近い状態、あるいは設計値通りに仕上げるができる。

【 0 1 0 9 】

しかし、図 2 9 に示す設計グリッド幅Wの $1/2$ を足した値を基準にして補正值を“+W”ずつ付けていく他の例のほうが、設計値に近い状態、あるいは設計値通りに仕上がり易い。

【 0 1 1 0 】

なぜならば図 2 8 に示す一例においては、たとえば“ $S < c$ ”のとき、ライン幅Lの変動を、ショートニング量“0”（即ち設計値）から“-W”の範囲に変動に抑えることができるのに対し、図 2 9 に示す他の例においては、ライン幅変動量“0”（即ち設計値）から“ $\pm W/2$ ”の範囲に、さらに変動を抑えること

ができるためである。

【0111】

〔第5の実施形態〕

次に、この発明の第5の実施形態に係るマスクパターン補正方法を説明する。

【0112】

第5の実施形態は、トランジスタ領域のコーナー部において、コーナー部とこのコーナー部に隣接するライン部との距離を考慮した切り欠き処理である。ここで切り欠き処理とは、トランジスタ領域のコーナー部を削り、近接効果補正を行うこと、と定義する。

【0113】

図32は、第5の実施形態に係るマスクパターン補正方法を示す流れ図、図33～図38はそれぞれ、図32に示す各ステップを説明するための図である。

【0114】

まず、図32に示すステップST. 1において、トランジスタ領域のコーナー部を抽出する。図33に、第5の実施形態に用いられたパターンの一例を示す。この一例は、デザイン上、たとえばCADデータ上のものであり、図27中、参照符号11に示す領域がコーナー部、参照符号12に示す領域がライン部である。

【0115】

次に、ステップST. 2において、コーナー部11からライン部12までの距離Sを、デザイン上、たとえばCADデータ上で測定する。

【0116】

次に、ステップST. 3において、ライン部12が、コーナー部11のラウンディングと重ならない最小距離dを、実験的、あるいはシミュレーションにより取得する。

【0117】

次に、ステップST. 4において、上記距離Sに対する補正ルールを作成する。図34に、コーナー部11のラウンディング13とライン部12との関係を示す。図34に示すように、上記距離Sが最小距離d以上 ($S \geq d$) であれば、ラ

イン部 12 はコーナー部 11 のラウンディングに重ならないが、上記距離 S が最小距離 d 未満 ($S < d$) であればラウンディングに重なる。このような傾向に基づき、第 5 の実施形態では、“ $S < d$ ” であれば、コーナー部 11 に対して切り欠き処理を行い、“ $S \geq d$ ” であれば、コーナー部 11 に対して切り欠き処理を行わない。このような補正ルールをテーブル化したものが図 35 である。

【0118】

次に、ステップ S T. 5 において、上記補正ルールに従い、必要に応じて、コーナー部 11 に対して切り欠き処理を行う。この切り欠き処理は、この発明に適合した補正ツールをプログラムにより作成して、たとえば CAD に格納しておき、適宜用いることで、自動的に行うことが可能である。

【0119】

切り欠き処理を施したパターン例を、図 36、図 37、および図 38 それぞれに示す。図 36～図 38 に示すように、コーナー部 11 には、それぞれ切り欠き部 14 が設けられている。

【0120】

このような第 5 の実施形態によれば、トランジスタ領域のコーナー部 11 に対し、このコーナー部 11 とライン部 12 との距離 S を考慮して、切り欠き処理を行う。

【0121】

このような切り欠き処理が行われた半導体製造用マスクを用いて、ウェーハプロセスにより形成されたパターンにおいては、そのライン部 12 が、コーナー部 11 のラウンディングに重ならなくなる。この結果、ライン部 12 がショートニングを起こしても、トランジスタ領域が露出し難くなる。よって、ライン部 12 (ゲート) のショートニングに起因したソースとドレインとの短絡不良等の問題を、回避できる。

【0122】

〔第 6 の実施形態〕

次に、この発明の第 6 の実施形態に係るマスクパターン補正方法を説明する。

【0123】

第 6 の実施形態は、コンタクトホール側の側壁が鉛直でない場合、トランジスタ領域に接触するような深いコンタクトホール、あるいはゲートに接触するような浅いコンタクトホールに対するバイアス処理である。

【 0 1 2 4 】

図 3 9 は、第 6 の実施形態に係るマスクパターン補正方法を示す流れ図、図 4 0 ～図 4 6 はそれぞれ、図 3 9 に示す各ステップを説明するための図である。

【 0 1 2 5 】

まず、図 3 9 に示すステップ S T. 1 において、コンタクトホールとトランジスタ領域との接触領域、およびコンタクトホールとゲートとの接触領域を抽出する。図 4 0 に、第 6 の実施形態に用いられたパターンの一例（断面例）を示す。図 4 0 中、参照符号 1 5 に示す部分がコンタクトホールとトランジスタ領域との接触領域であり、参照符号 1 6 に示す部分がコンタクトホールとゲートとの接触領域である。

【 0 1 2 6 】

次に、ステップ S T. 2 において、設計寸法に対する接触領域 1 5 の直径 $S 1$ 、および設計寸法に対する接触領域 1 6 の直径 $S 2$ をそれぞれ、実験的、あるいはシミュレーションにより取得する。ここで、直径 $S 1$ 、 $S 2$ は、走査型電子顕微鏡（S E M）や電氣的測定による方法などを用いることで取得できる。

【 0 1 2 7 】

次に、ステップ S T. 3 において、直径 $S 1$ と直径 $S 2$ との差 “ $S 1 - S 2$ ” を求める。

【 0 1 2 8 】

次に、ステップ S T. 4 において、“ $S 1 - S 2 = 0$ ” の点を基準（図 4 1）、あるいは “ $S 1 - S 2 = 0$ ” に、設計グリッド幅 W の $1/2$ を足した点を基準（図 4 2）として、図 4 1 あるいは図 4 2 の縦軸（直径 $S 1$ と直径 $S 2$ との差 “ $S 1 - S 2$ ”）を、設計グリッド幅 W 毎に分割する。次いで、設計グリッド幅 W を示す直線と、 $S 1 - S 2$ 曲線との交点を抽出する。たとえばあるゲート膜厚 L について上記作業により抽出された交点をそれぞれ “a”、“b”、“c” とした場合、“設計寸法 $< a$ ” の範囲では直径 $S 1$ に加えるバイアス量は “0” であ

り、“ $a \leq \text{設計寸法} < b$ ”の範囲では直径 S_1 に“ $+W$ ”のバイアス量を加え、“ $b \leq \text{設計寸法} < c$ ”の範囲では直径 S_1 に“ $+W$ ”のバイアス量を加え、“ $c \leq \text{設計寸法}$ ”の範囲では直径 S_1 に“ $+2W$ ”のバイアス量を加える。このような作業により、あるゲート膜厚 L に対して、図 4 3 に示すような補正ルールテーブルが作成される。図 4 3 に示す補正ルールテーブルに従って、直径 S_1 を補正することで、直径 S_1 は直径 S_2 に近づく。

【0 1 2 9】

また、上記作業と逆に、直径 S_2 からバイアス量を差し引いて、直径 S_2 を直径 S_1 に近づけても良い。このような方法により作成した補正ルールテーブルを図 4 4 に示す。次いで、作成した補正ルールテーブルから、ステップ $ST. 2$ で求めた直径 S_1 、あるいは直径 S_2 に対する補正值を抽出する。

【0 1 3 0】

次に、ステップ $ST. 5$ において、抽出した補正值を、コンタクトホールに、バイアス量として付加する。このバイアス処理は、この発明に適合した補正ツールをプログラムにより作成し、たとえば CAD に格納しておき、適宜用いることで、自動的に行うことができる。バイアス処理が終了した状態の断面を、図 4 5 および図 4 6 に示す。図 4 5 に示すように、接触領域 1 5 の直径 S_1 は、接触領域 1 6 の直径 S_2 とほぼ同等となるように拡大されている。また、図 4 6 に示すように、接触領域 1 6 の直径 S_2 は、接触領域 1 5 の直径 S_1 とほぼ等しくなるように縮小されている。

【0 1 3 1】

このような第 6 の実施形態によれば、トランジスタ領域に接触する接触領域 1 5 の直径 S_1 と、およびゲートに接触する接触領域 1 6 の直径 S_2 と互いに異なってしまうような場合に、直径 S_1 と直径 S_2 とを互いに等しくでき、直径 S_1 および直径 S_2 を設計値に近い状態に仕上げることもできる。

【0 1 3 2】

このように直径 S_1 および直径 S_2 が、より設計値に近い状態に仕上がることで、コンタクト面積の減少等に伴ったコンタクト抵抗の上昇の問題等を、回避できる。よって、形成された集積回路においては、設計値に近いコンタクト抵抗を

得ることができ、回路上、期待される電氣的パフォーマンスを、容易に得ることができる。

【0133】

また、補正ルールの一例（図41）と、他の例（図42）との違いは、“ $S1 - S2 = 0$ ”を基準にして補正值を“W”ずつ付けていくか、“ $S1 - S2 = 0$ ”に設計グリッド幅Wの $1/2$ を足した値を基準にして補正值を“W”ずつ付けていくかである。どちらの例でも、接触領域の直径を、設計値に近い状態、あるいは設計値通りに仕上げることもできる。

【0134】

しかし、図42に示す設計グリッド幅Wの $1/2$ を足した値を基準にして補正值を“+W”ずつ付けていく他の例のほうが、設計値に近い状態、あるいは設計値通りに仕上がり易い。

【0135】

なぜならば図41に示す一例においては、たとえば“設計寸法<c”のとき、“ $S1 - S2$ ”の変動を、“ $S1 - S2 = 0$ （即ち設計値）”から“-W”の範囲に変動に抑えることができるのに対し、図42に示す他の例においては、“ $S1 - S2$ ”の変動を、“ $S1 - S2 = 0$ （即ち設計値）”から“ $\pm W/2$ ”の範囲に、さらに変動を抑えることができるからである。

【0136】

また、図45、あるいは図46に示すように、上記一例に係るパターンにおいては、ゲート膜厚Lに対してバイアス処理を行ったが、ゲート膜厚L以外の膜厚が存在する場合には、各膜厚毎にそれぞれ、上記と同様な方法で補正ルールを作成し、この補正ルールにより補正ルールテーブルを作成する。この後、ライン幅毎に、それぞれ作成した補正ルールテーブルに基づいてバイアス処理を行えば良い。

【0137】

〔第7の実施形態〕

次に、この発明の第7の実施形態に係るマスクパターン補正方法を説明する。

【0138】

第 7 の実施形態は、ライン両端に上下に接するそれぞれのビアに対するライン終端のフリンジ処理である。

【 0 1 3 9 】

図 4 7 は、第 7 の実施形態に係るマスクパターン補正方法を示す流れ図、図 4 8 ～図 5 5 はそれぞれ、図 4 7 に示す各ステップを説明するための図である。

【 0 1 4 0 】

まず、図 4 7 に示すステップ S T. 1 において、ビア 1 とライン部 1 7 との接触領域、ビア 2 とライン部 1 7 との接触領域を抽出する。図 4 8 に、第 7 の実施形態に用いられた、パターンの一例（断面）を示す。

【 0 1 4 1 】

次に、ステップ S T. 2 において、第 2 の実施形態により説明した方法を用いて、ビア 1 と、このビア 1 が接触するライン部 1 7 の終端へのフリンジ処理を補正ルール化する（図 4 9、あるいは図 5 0）。

【 0 1 4 2 】

次に、ステップ S T. 3 において、第 2 の実施形態により説明した方法を用いて、上記補正ルールにより、補正ルールテーブルを作成する（図 5 1）。その後、作成した補正ルールテーブルから補正值を抽出する。

【 0 1 4 3 】

次に、ステップ S T. 4 において、ビア 2 と、このビア 2 が接触する領域からライン部 1 7 の終端までの距離 D を、実験的、あるいはシミュレーションにより取得する。

【 0 1 4 4 】

次に、ステップ S T. 5 において、第 2 の実施形態により説明した方法を用いて、ビア 2 が接触するライン部 1 7 の終端へのフリンジ処理を補正ルール化する（図 5 3、あるいは図 5 4）。

【 0 1 4 5 】

次に、ステップ S T. 6 において、“ショートニング量 $= -D$ ” の点を基準（図 5 2）、あるいは“ショートニング量 $= -D$ ” に設計グリッド幅 W の $1/2$ を足した点を基準（図 5 3）とした補正ルールテーブルを作成する（図 5 4）。こ

の後、作成した補正ルールテーブルから補正値を抽出する。

【0146】

次に、ステップS T. 7において、抽出した補正値を、ビア1とライン部17との接触領域18、およびビア2とライン部17との接触領域19それぞれに、フリンジ量として付加する。このフリンジ処理は、この発明に適合した補正ツールをプログラムにより作成して、たとえばCADに格納しておき、適宜用いることで、自動的に行うことが可能である。フリンジ処理が終了した状態のパターンの一例を、図55に示す。図55に示すように、ライン部17の接触領域18、19にはそれぞれ、フリンジ20-1、20-2が設けられている。

【0147】

このような第7の実施形態によれば、ライン部17の接触領域18、19に対して、ライン部17のショートニングを補正するフリンジを、ライン部17の周囲の環境、たとえばライン部17周囲のパターンの疎密状況、ライン部の幅、ビアの細り等を考慮して付加する。

【0148】

このようなフリンジ処理が行われた半導体製造用マスクを用いて、ウェーハプロセスにより形成されたパターンにおいては、たとえば周囲の環境に関係なく一律なフリンジ処理を行ったマスクを用いた場合に比べて、上記重なった領域を、より設計値に近い状態、あるいは設計値通りに仕上げることができる。

【0149】

このように上記重なった領域が、より設計値に近い状態に仕上がることで、たとえばコンタクト面積の減少等に伴ったコンタクト抵抗の上昇の問題を、回避できる。よって、形成された集積回路においては、設計値に近いコンタクト抵抗を得ることができ、回路上、期待される電氣的パフォーマンスを、容易に得ることができる。

【0150】

また、補正ルールの一例（図49、図52）と、他の例（図50、図53）との違いは、ショートニング量“O-D”を基準にして補正値を“W”ずつ付けていくか、ショートニング量“O-D”に設計グリッド幅Wの1/2を足した値を

基準にして補正値を“W”ずつ付けていくかである。どちらの例でも、ウェーハ上に形成されたパターンを、設計値に近い状態、あるいは設計値通りに仕上げることができる。

【0 1 5 1】

しかし、図 5 0、5 3 に示す設計グリッド幅 W の $1/2$ を足した値を基準にして補正値を“+W”ずつ付けていく他の例のほうが、設計値に近い状態、あるいは設計値通りに仕上がり易い。

【0 1 5 2】

なぜならば図 4 9、図 5 2 に示す一例においては、たとえば“ $S < c$ ”のとき、ライン幅 L の変動を、ショートニング量“ $0 - D$ ”（即ち設計値）から“ $-W$ ”の範囲に変動に抑えることができるのに対し、図 5 0、図 5 3 に示す他の例においては、ライン幅変動量“ $0 - D$ ”（即ち設計値）から“ $\pm W/2$ ”の範囲に、さらに変動を抑えることができるためである。

【0 1 5 3】

また、図 5 5 に示すように、上記一例に係るパターンにおいては、ライン幅 L を持つライン部 1 7 に対してフリンジ 2 0 -1、2 0 -2 を付加する補正を行ったが、ライン幅 L 以外のライン幅が存在する場合には、各ライン幅毎にそれぞれ、上記と同様な方法で補正ルールを作成し、この補正ルールにより補正ルールテーブルを作成する。この後、ライン幅毎に、それぞれ作成した補正ルールテーブルに基づいてフリンジを付加する補正を行えば良い。

【0 1 5 4】

〔第 8 の実施形態〕

次に、この発明の第 8 の実施形態に係るマスクパターン補正方法を説明する。

【0 1 5 5】

第 8 の実施形態は、第 1 の実施形態～第 5 の実施形態、および第 7 の実施形態に対して、更に合わせずれを考慮した補正方法である。

【0 1 5 6】

図 5 6 は、第 8 の実施形態に係るマスクパターン補正方法を示す流れ図である。

【0157】

まず、図56に示すステップ1において、第1の実施形態～第5の実施形態、および第7の実施形態により、それぞれの補正方法に対する補正ルールテーブルを作成する。

【0158】

次に、ステップST. 2において、合わせずれ量を“+C”とする。次いで、それぞれの補正ルールテーブルのフリンジ量、および補正箇所に合わせてずれ量“+C”を付け加える。この作業によって、第1の実施形態、第2の実施形態、第3の実施形態、第7の実施形態からは図57に示す補正ルールテーブルを、第4の実施形態からは図58に示す補正ルールテーブルを、第5の実施形態からは図59に示す補正ルールテーブルをそれぞれ作成できる。

【0159】

次に、ステップST. 3に示すように、作成したルールテーブルから補正値を抽出し、抽出した補正値をフリンジ量に加える。

【0160】

このような第8の実施形態によれば、第1の実施形態～第5の実施形態、第7の実施形態に対して、合わせずれを考慮した補正値を補正ルール化する。そして、この補正ルールに従い、補正ツールを用いて自動で補正処理する。このような補正処理により、近接効果による所望寸法のずれ、および合わせずれが生じる場合においても、それぞれの補正箇所を設計値の通り、あるいは設計値に近い状態に仕上げることができる。

【0161】

[第9の実施形態]

次に、この発明の第9の実施形態に係るマスクパターン補正方法を説明する。

【0162】

第9の実施形態は、トランジスタの狭スペースに関して、コンタクトとトランジスタ領域の重なった領域とトランジスタ領域端との距離を考慮した狭スペースのショートに対する補正を行うものである。

【0163】

図 60 は、第 9 の実施形態に係るマスクパターン補正方法を示す流れ図、図 61 ～図 66 はそれぞれ、図 60 に示す各ステップを説明するための図である。

【0164】

まず、図 60 に示すステップ ST. 1 において、コンタクト部とトランジスタ領域とが重なった領域を抽出する。図 61 に、第 9 の実施形態に用いられた、パターンの一例を、図 62 にパターンの他の例を示す。なお、図 61 に示す一例および図 62 に示す他の例はそれぞれ、デザイン上、たとえば CAD データ上のものである。

【0165】

図 61 に示すように、一例に係るパターンは、フィールド領域（素子分離領域）21 によって互いに分離されたトランジスタ領域 22、23 を持つ。トランジスタ領域 22 にはコンタクト部 24-1、24-2 がそれぞれ重なっており、トランジスタ領域 23 にはコンタクト部 24-3、24-4 がそれぞれ重なっている。

【0166】

図 62 に示す他の例に係るパターンは、一例に係るパターンと同様なもので、異なるところは、コンタクト部 24-1 ～ 24-2 から、トランジスタ領域端 25 までの距離である。

【0167】

次に、ステップ ST. 2 において、狭スペース幅 S を、デザイン上で、測定する。次に、トランジスタ領域端 25 からコンタクト部 24-1 ～ 24-4 までの距離を、デザイン上で測定する。この時の最小距離を“F”とする。

【0168】

次に、ステップ ST. 3 に示すように、コンタクト部 24-1 ～ 24-4 に対して最小バイアス量と最小合わせずれ量を、実験的、あるいはシミュレーションにより取得し、この時のバイアス量と合わせずれ量との和を D とする。この結果から、フリンジ量の最小デザインルール分だけ、コンタクト部を拡大する。拡大したコンタクト部を、参照符号 26 により示す。

【0169】

次に、ステップ ST. 4 に示すように、“ $D \leq F$ ” の場合、および “ $F < D$ ”

の場合それぞれで、狭スペース幅 S の大きさによって狭スペース幅を広げる補正値を、実験的、あるいはシミュレーションにより取得し、補正ルールを作成する（図 63）。

【0170】

次に、ステップ ST. 5 に示すように、上記補正ルールにより補正ルールテーブルを作成し、補正値を抽出する（図 64）。ここで、“ $F < D$ ” の場合、拡大したコンタクト部 26 とトランジスタ領域端 25 とが接する部分を抽出する。この接する部分は、図 62 に参照符号 27 により示す。

【0171】

次に、ステップ ST. 6 に示すように、抽出した補正値を、狭スペース幅 S に付加する。ここで、“ $D \leq F$ ” の場合、図 65 に示すように、狭スペース幅 S の全体を、トランジスタ領域 22、23 に向かって拡大する。また、“ $F < D$ ” の場合、図 66 に示すように、狭スペース幅 S を、上記接する部分 27 を除いて、トランジスタ領域 22、23 に向かって拡大する。

【0172】

このような第 9 の実施形態によれば、コンタクト部のバイアス量と合わせずれ量との和、トランジスタ領域端 25 からコンタクト部までの最小距離、および狭スペース幅 S により、狭スペース部の補正量を、補正ルールテーブル化する。次に、その補正ルールテーブルに従い、補正ツールを用いて自動で狭スペース補正処理を行う。このような補正処理により、狭スペースにおけるショートを防ぐことができる。

【0173】

以上、この発明を第 1 ～ 第 9 の実施形態に基づき説明したが、この発明は上記第 1 ～ 第 9 の実施形態に限られず、発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0174】

たとえば実施形態において記載したマスクパターン補正方法は、コンピュータに実行させることのできるプログラムとして、例えば磁気ディスク（フロッピーディスク、ハードディスク等）、光ディスク（CD-ROM, CD-RAM, D

VD等)、半導体メモリなどの記録媒体に書き込んでCADに適用したり、通信媒体により伝送してCADに適用することも可能である。また、この発明を実現するCADは、記録媒体に記録されたプログラムを読み込み、このプログラムによって動作が制御されることにより、上述したマスクパターン補正処理を実行する。

【0175】

また、この発明は、半導体集積回路装置であれば如何なるものでも適用することが可能であるが、パターンがランダムなロジック系集積回路装置、たとえばマイクロプロセッサ等に特に有効である。

【0176】

その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0177】

【発明の効果】

以上説明したように、この発明によれば、仕上がり誤差のパターン関係を考慮でき、十分な補正精度を得ることができる半導体製造用マスクのパターン補正方法を提供できる。

【図面の簡単な説明】

【図1】

図1はこの発明の第1の実施形態に係るマスクパターン補正方法を示す流れ図。

【図2】

図2はこの発明の第1の実施形態に用いた一パターン例を示す平面図。

【図3】

図3はこの発明の第1の実施形態に用いた一パターン例を示す平面図。

【図4】

図4はこの発明の第1の実施形態に用いた測定パターン例を示す平面図。

【図5】

図5はスペースとライン幅変動量との関係を示す図。

【図 6】

図 6 はスペースとライン幅変動量との関係を示す図。

【図 7】

図 7 は補正ルールテーブルを示す図。

【図 8】

図 8 はこの発明の第 1 の実施形態に用いた一パターン例を示す平面図。

【図 9】

図 9 はこの発明の第 2 の実施形態に係るマスクパターン補正方法を示す流れ図。

【図 1 0】

図 1 0 はこの発明の第 2 の実施形態に用いた一パターン例を示す平面図。

【図 1 1】

図 1 1 はこの発明の第 2 の実施形態に用いた一パターン例を示す平面図。

【図 1 2】

図 1 2 はこの発明の第 2 の実施形態に用いた測定パターン例を示す平面図。

【図 1 3】

図 1 3 はスペースとショートニング量との関係を示す図。

【図 1 4】

図 1 4 はスペースとショートニング量との関係を示す図。

【図 1 5】

図 1 5 は補正ルールテーブルを示す図。

【図 1 6】

図 1 6 はこの発明の第 2 の実施形態に用いた一パターン例を示す平面図。

【図 1 7】

図 1 7 はこの発明の第 3 の実施形態に係るマスクパターン補正方法を示す流れ図。

【図 1 8】

図 1 8 はこの発明の第 3 の実施形態に用いた一パターン例を示す平面図。

【図 1 9】

図 1 9 はこの発明の第 3 の実施形態に用いた一パターン例を示す平面図。

【図 2 0】

図 2 0 はこの発明の第 3 の実施形態に用いた一パターン例を示す平面図。

【図 2 1】

図 2 1 はこの発明の第 3 の実施形態に用いた測定パターン例を示す平面図。

【図 2 2】

図 2 2 はスペースとショートニング量との関係を示す図。

【図 2 3】

図 2 3 はスペースとショートニング量との関係を示す図。

【図 2 4】

図 2 4 は補正ルールテーブルを示す図。

【図 2 5】

図 2 5 はこの発明の第 3 の実施形態に用いた一パターン例を示す平面図。

【図 2 6】

図 2 6 はこの発明の第 4 の実施形態に係るマスクパターン補正方法を示す流れ図。

【図 2 7】

図 2 7 はこの発明の第 4 の実施形態に用いた一パターン例を示す平面図。

【図 2 8】

図 2 8 は面積とショートニング量との関係を示す図。

【図 2 9】

図 2 9 は面積とショートニング量との関係を示す図。

【図 3 0】

図 3 0 は補正ルールテーブルを示す図。

【図 3 1】

図 3 1 はこの発明の第 4 の実施形態に用いた一パターン例を示す平面図。

【図 3 2】

図 3 2 はこの発明の第 5 の実施形態に係るマスクパターン補正方法を示す流れ図。

【図 3 3】

図 3 3 はこの発明の第 5 の実施形態に用いた一パターン例を示す平面図。

【図 3 4】

図 3 4 はこの発明の第 5 の実施形態に用いた一パターン例を示す平面図。

【図 3 5】

図 3 5 は補正ルールテーブルを示す図。

【図 3 6】

図 3 6 は切り欠き部を示す平面図。

【図 3 7】

図 3 7 は切り欠き部を示す平面図。

【図 3 8】

図 3 8 は切り欠き部を示す平面図。

【図 3 9】

図 3 9 はこの発明の第 6 の実施形態に係るマスクパターン補正方法を示す流れ図。

【図 4 0】

図 4 0 はこの発明の第 6 の実施形態に用いた一パターン例を示す断面図。

【図 4 1】

図 4 1 は設計寸法と直径差との関係を示す図。

【図 4 2】

図 4 2 は設計寸法と直径差との関係を示す図。

【図 4 3】

図 4 3 は補正ルールテーブルを示す図。

【図 4 4】

図 4 4 は補正ルールテーブルを示す図。

【図 4 5】

図 4 5 はこの発明の第 6 の実施形態に用いた一パターン例を示す断面図。

【図 4 6】

図 4 6 はこの発明の第 6 の実施形態に用いた一パターン例を示す断面図。

【図 4 7】

図 4 7 はこの発明の第 7 の実施形態に係るマスクパターン補正方法を示す流れ図。

【図 4 8】

図 4 8 はこの発明の第 7 の実施形態に用いた一パターン例を示す断面図。

【図 4 9】

図 4 9 はショートニング量とスペースとの関係を示す図。

【図 5 0】

図 5 0 はショートニング量とスペースとの関係を示す図。

【図 5 1】

図 5 1 は補正ルールテーブルを示す図。

【図 5 2】

図 5 2 はショートニング量とスペースとの関係を示す図。

【図 5 3】

図 5 3 はショートニング量とスペースとの関係を示す図。

【図 5 4】

図 5 4 は補正ルールテーブルを示す図。

【図 5 5】

図 5 5 はこの発明の第 7 の実施形態に用いた一パターン例を示す断面図。

【図 5 6】

図 5 6 はこの発明の第 8 の実施形態に係るマスクパターン補正方法を示す流れ図。

【図 5 7】

図 5 7 は補正ルールテーブルを示す図。

【図 5 8】

図 5 8 は補正ルールテーブルを示す図。

【図 5 9】

図 5 9 は補正ルールテーブルを示す図。

【図 6 0】

図 6 0 はこの発明の第 9 の実施形態に係るマスクパターン補正方法を示す流れ図。

【図 6 1】

図 6 1 はこの発明の第 9 の実施形態に用いた一パターン例を示す平面図。

【図 6 2】

図 6 2 はこの発明の第 9 の実施形態に用いた他のパターン例を示す平面図。

【図 6 3】

図 6 3 は補正量とスペースとの関係を示す図。

【図 6 4】

図 6 4 は補正ルールテーブルを示す図。

【図 6 5】

図 6 5 はこの発明の第 9 の実施形態に用いた一パターン例を示す平面図。

【図 6 6】

図 6.6 はこの発明の第 9 の実施形態に用いた他のパターン例を示す平面図。

【図 6 7】

図 6 7 はショートニングを説明するための図。

【符号の説明】

- 1、2、3 …ライン部、
- 4 …コンタクト部
- 5 …フリンジ、
- 6 …拡大したコンタクト部、
- 7 …コンタクト領域とコンタクト部とが接する辺、
- 8 …フリンジ、
- 9 …ゲート端であり、かつトランジスタ領域にない領域、
- 1 0 …フリンジ、
- 1 1 …コーナー部、
- 1 2 …ライン部、
- 1 3 …ラウンディング、
- 1 4 …切り欠き部、

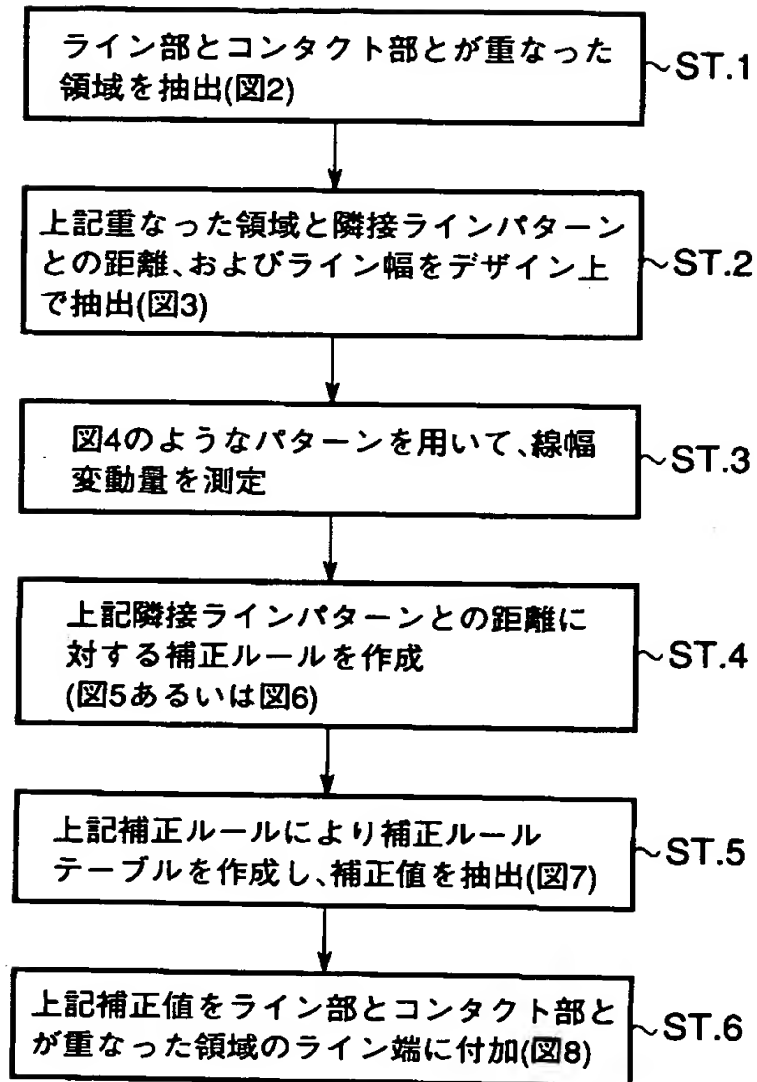
- 15、16…接触領域、
- 17…ライン部、
- 18、19…接触領域、
- 20…フリンジ、
- 21…フィールド、
- 22、23…トランジスタ領域、
- 24…コンタクト部、
- 25…トランジスタ領域端、
- 26…拡大したコンタクト部、
- 27…トランジスタ領域端と拡大したコンタクト部とが接する領域。

【書類名】

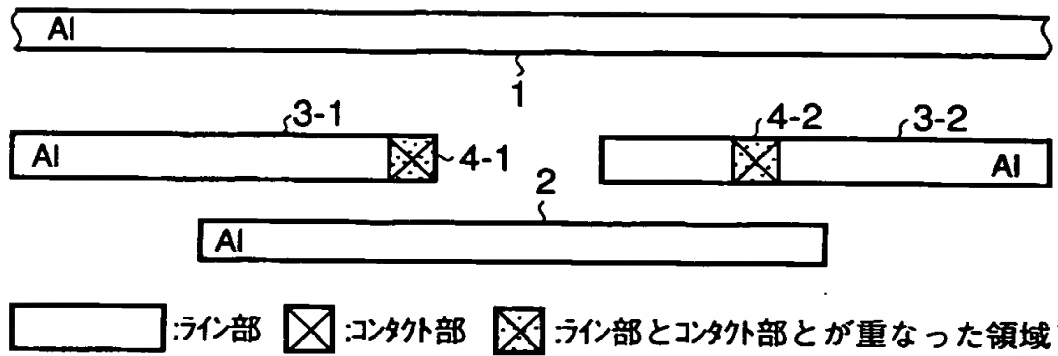
図面

【図 1】

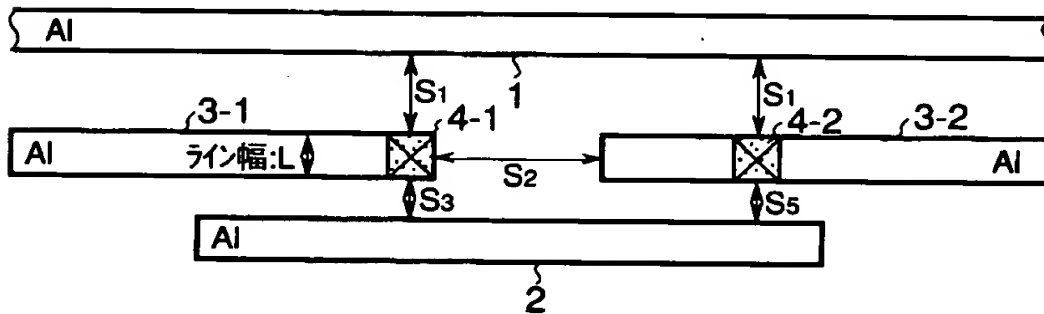
補正フロー



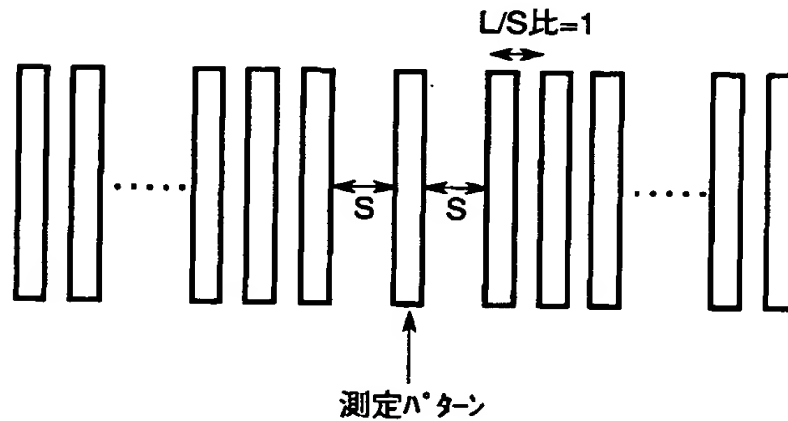
【図 2】



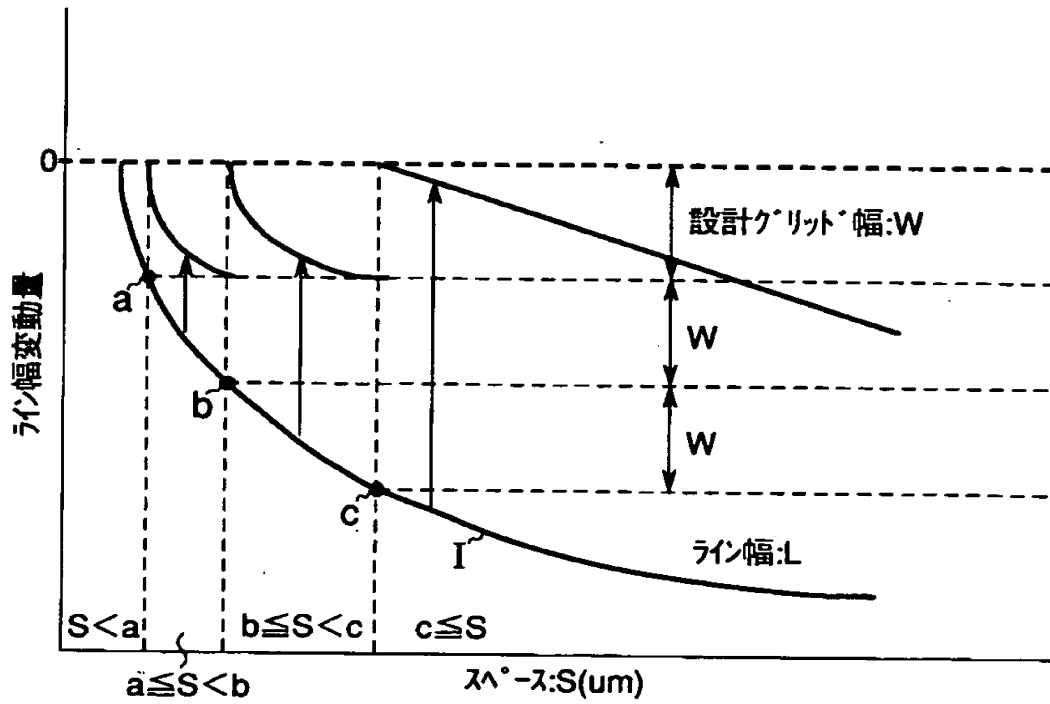
【図 3】



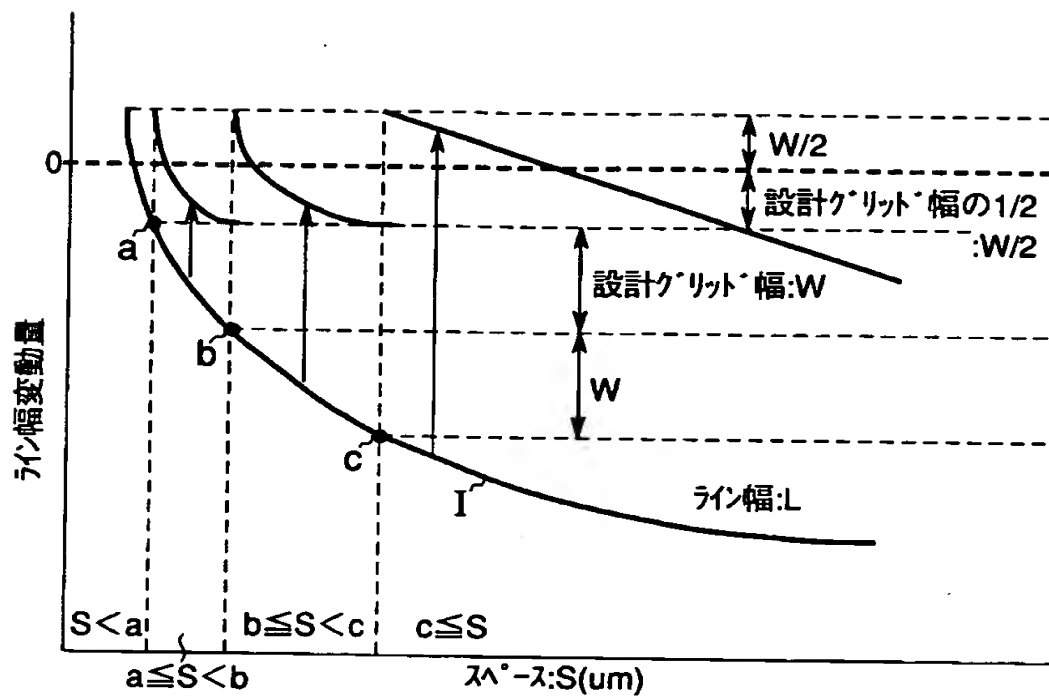
【図 4】



【図5】



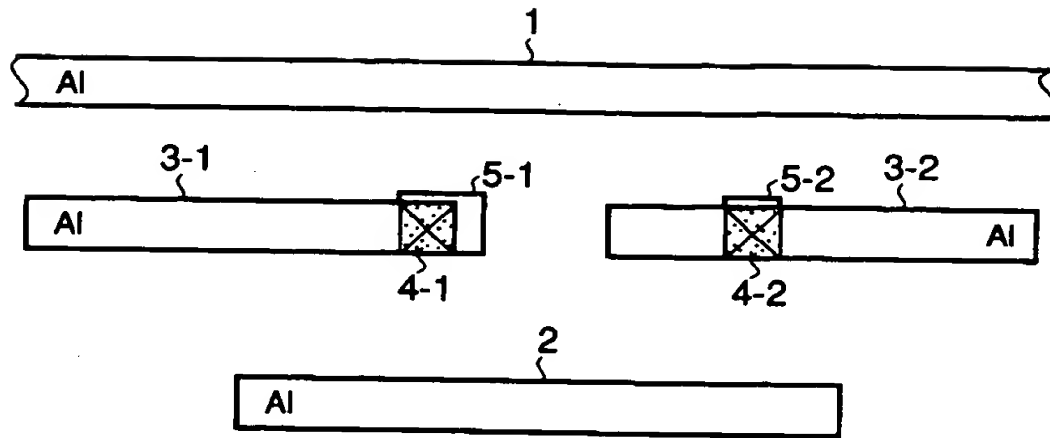
【図 6】



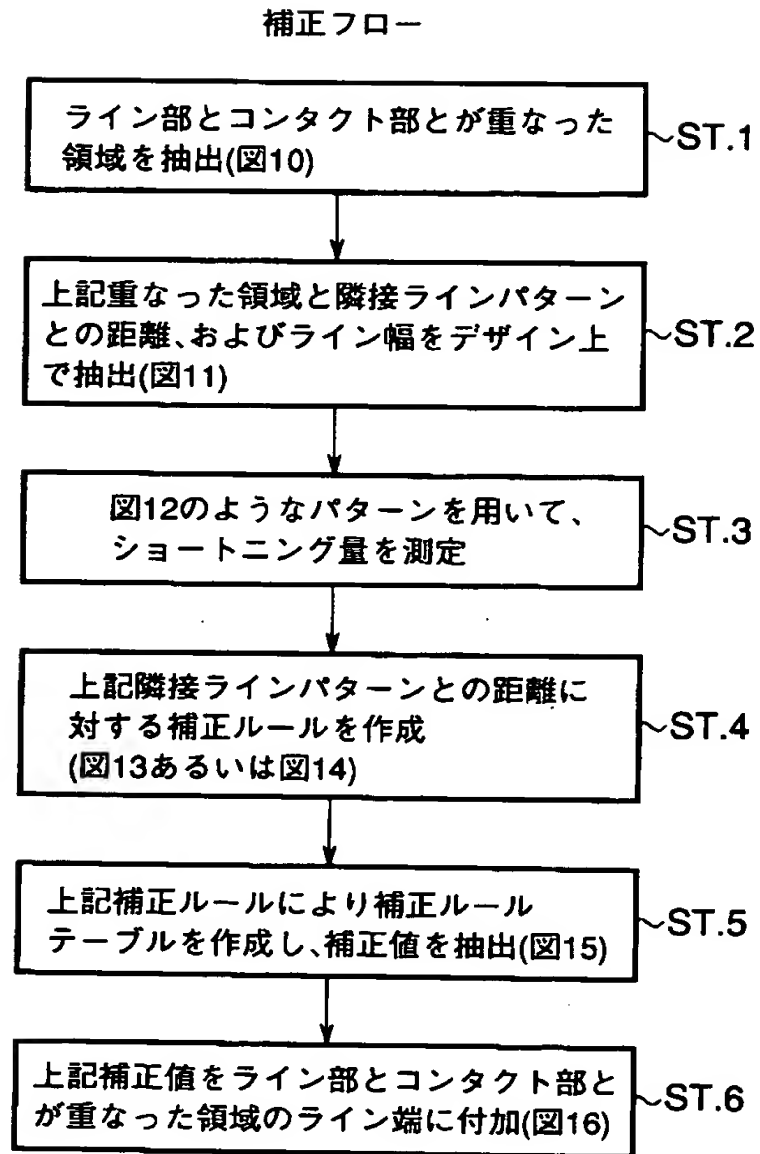
【図 7】

スペース	フリンジ量
$S < a$	0
$a \leq S < b$	$+W$
$b \leq S < c$	$+2W$
$S \geq c$	$+3W$

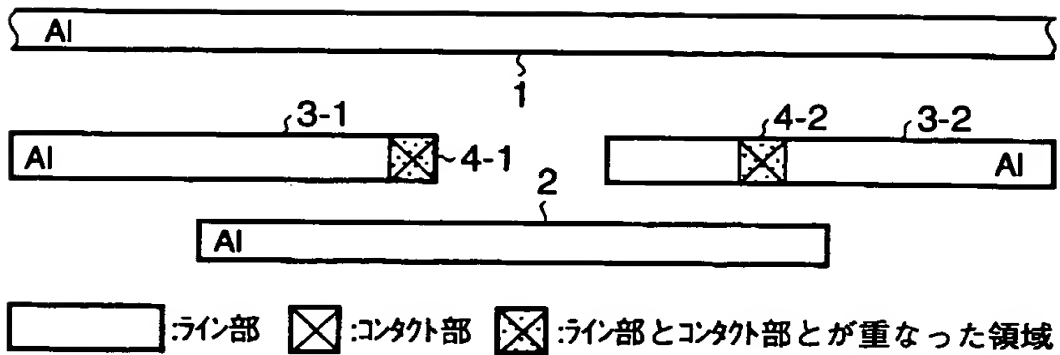
【図 8】



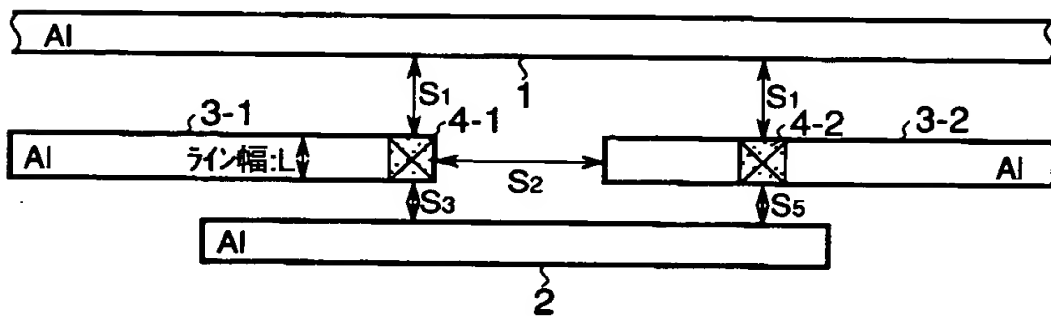
【図 9】



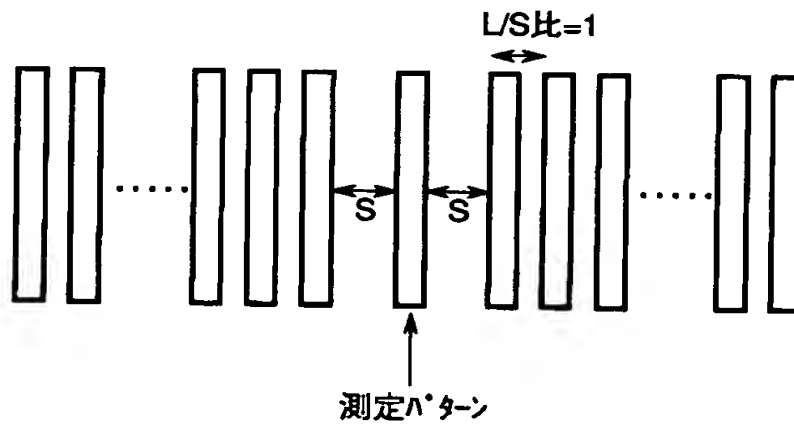
【図 10】



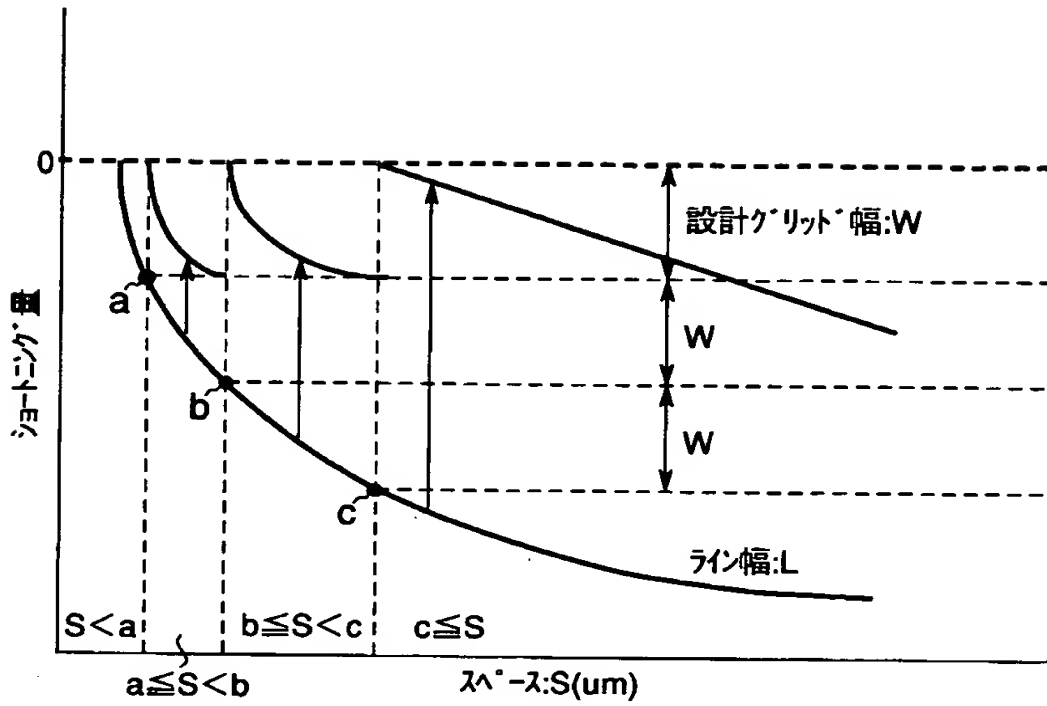
【図 11】



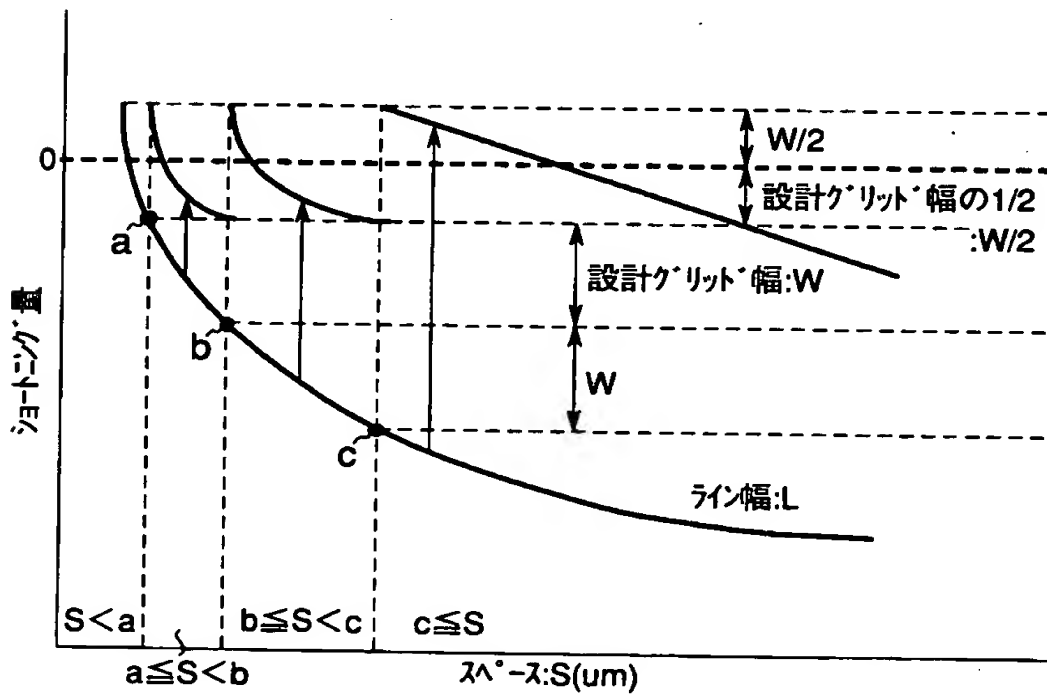
【図 12】



【図 13】



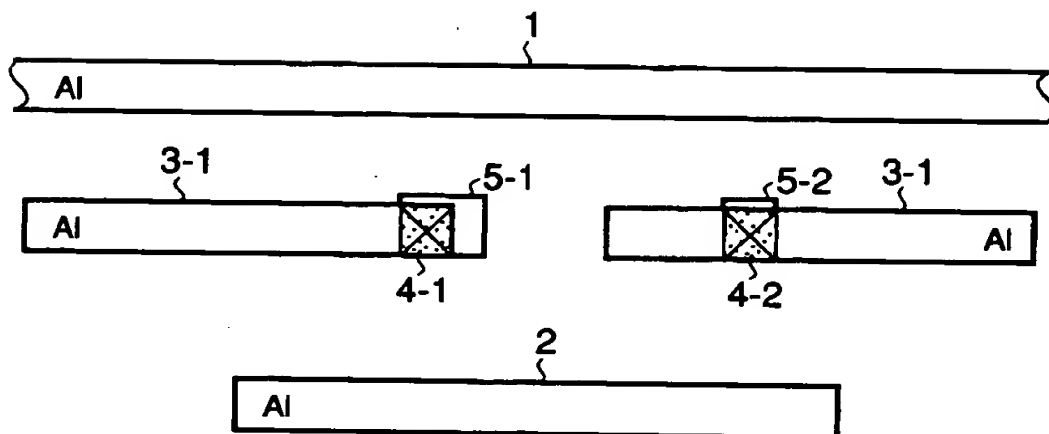
【図 14】



【図 15】

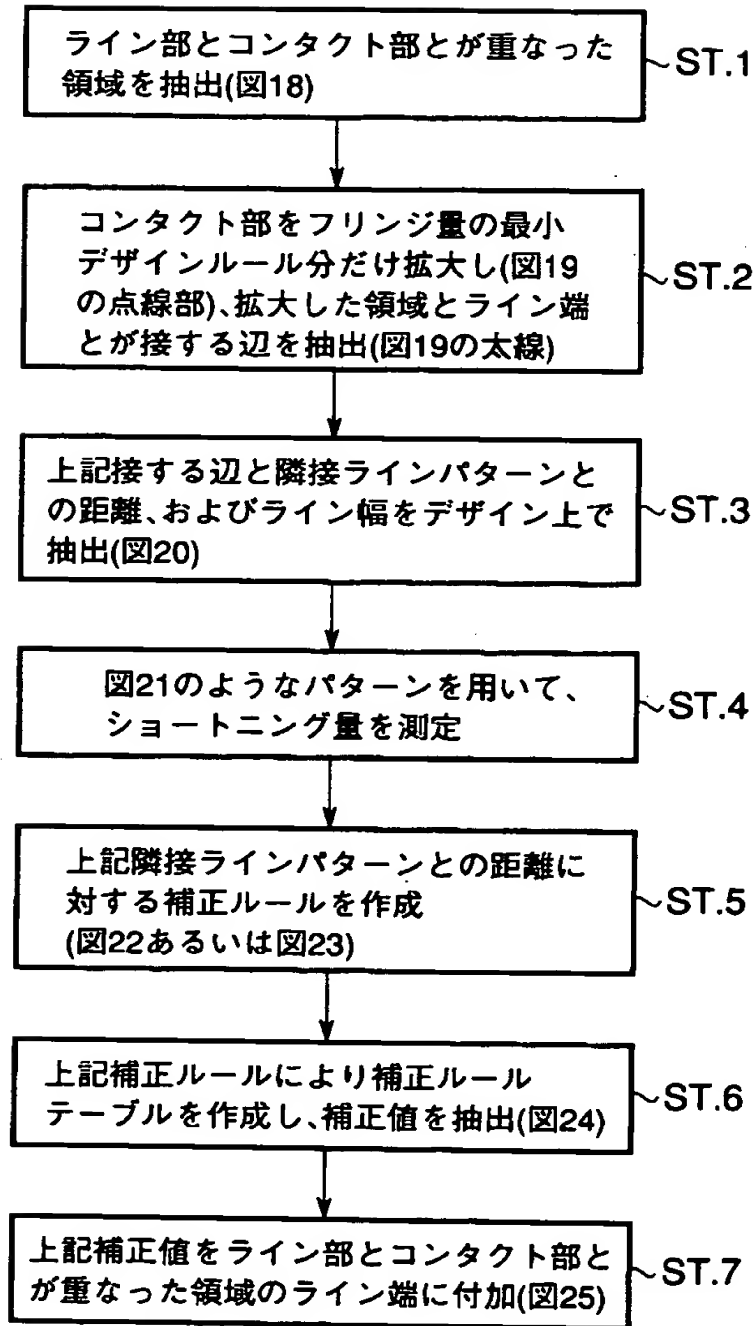
スペース	フリンジ量
$S < a$	0
$a \leq S < b$	$+W$
$b \leq S < c$	$+2W$
$S \geq c$	$+3W$

【図 16】

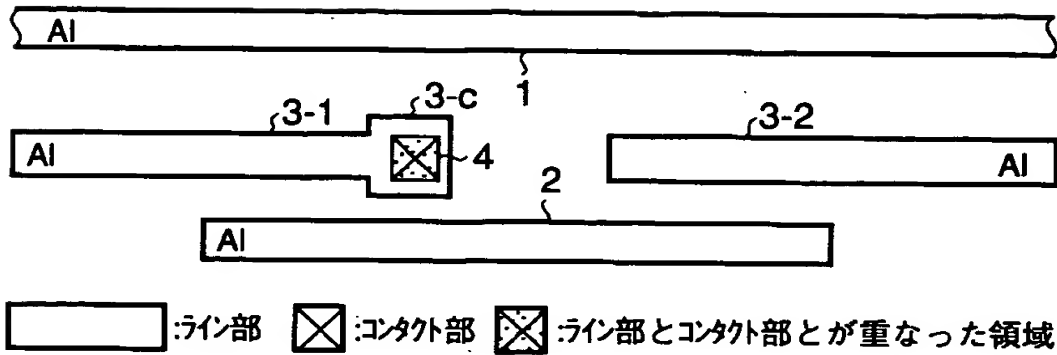


【図 17】

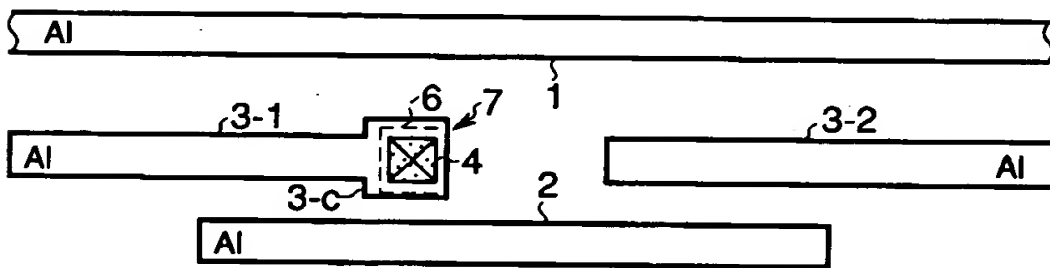
補正フロー



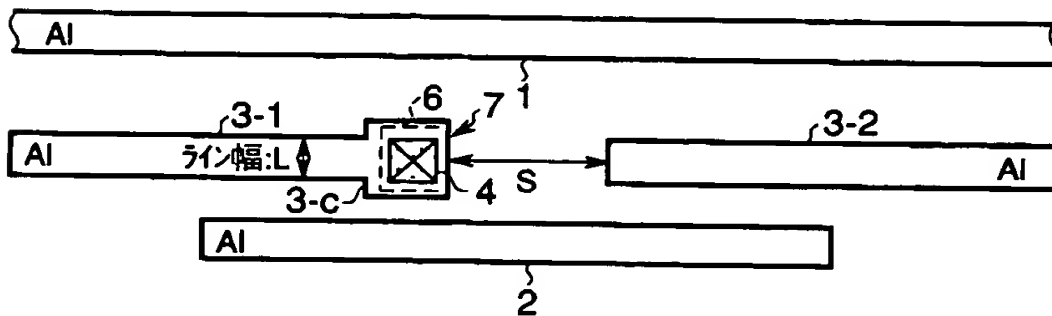
【図 18】



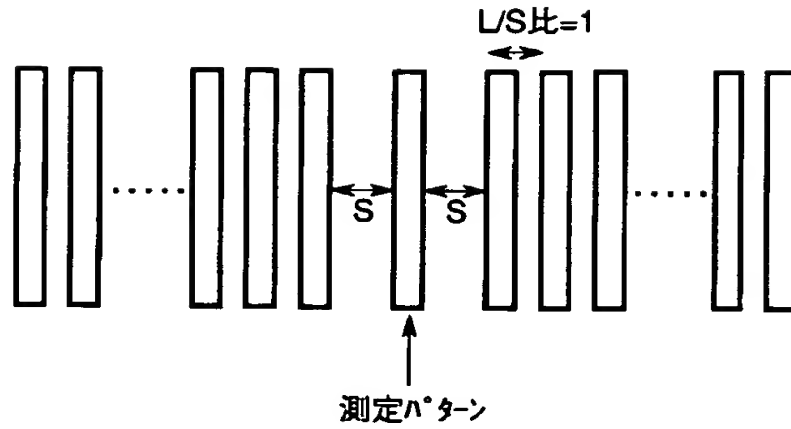
【図 19】



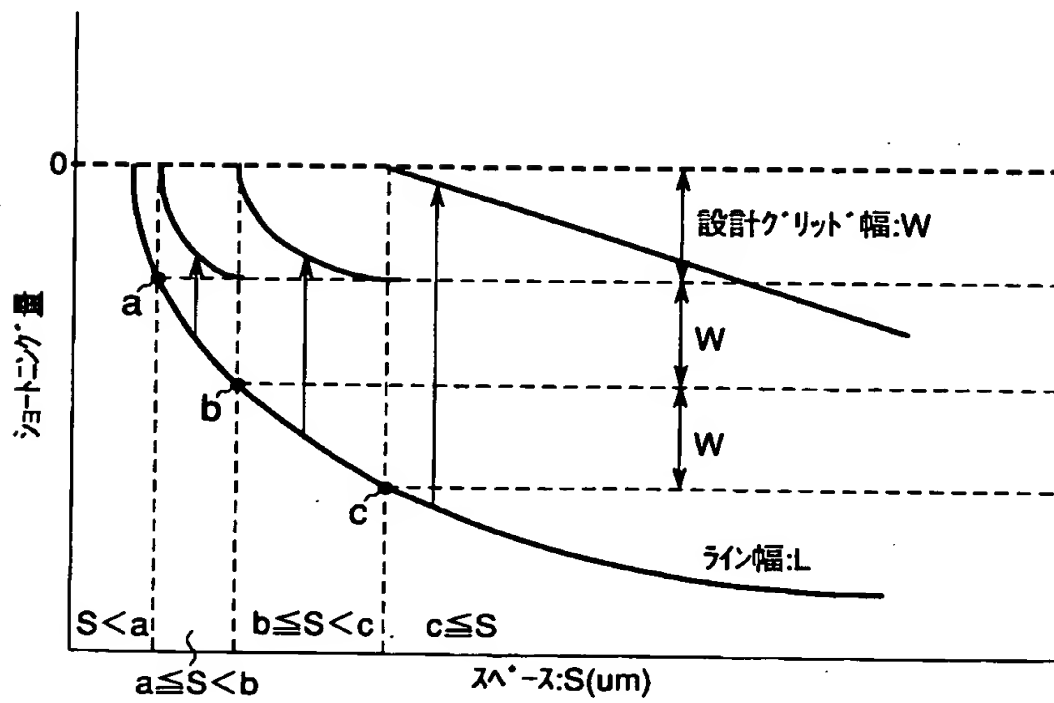
【図 20】



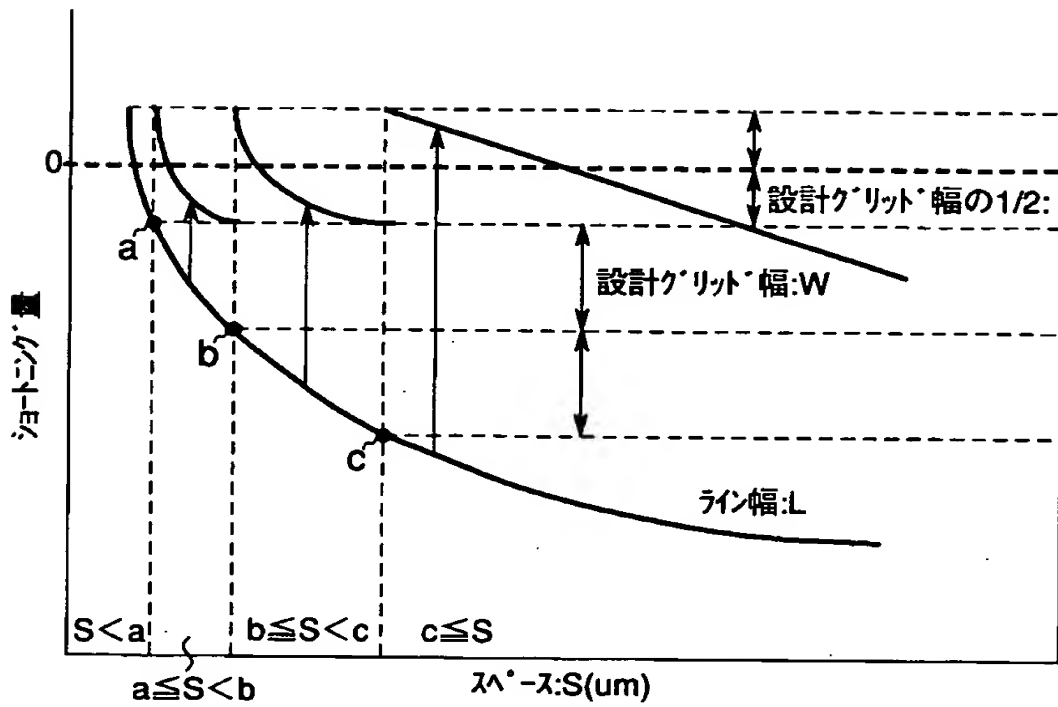
【図 2 1】



【図 2 2】



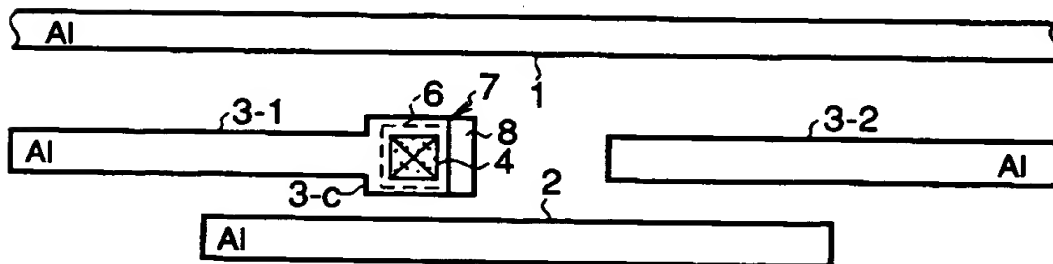
【図 2 3】



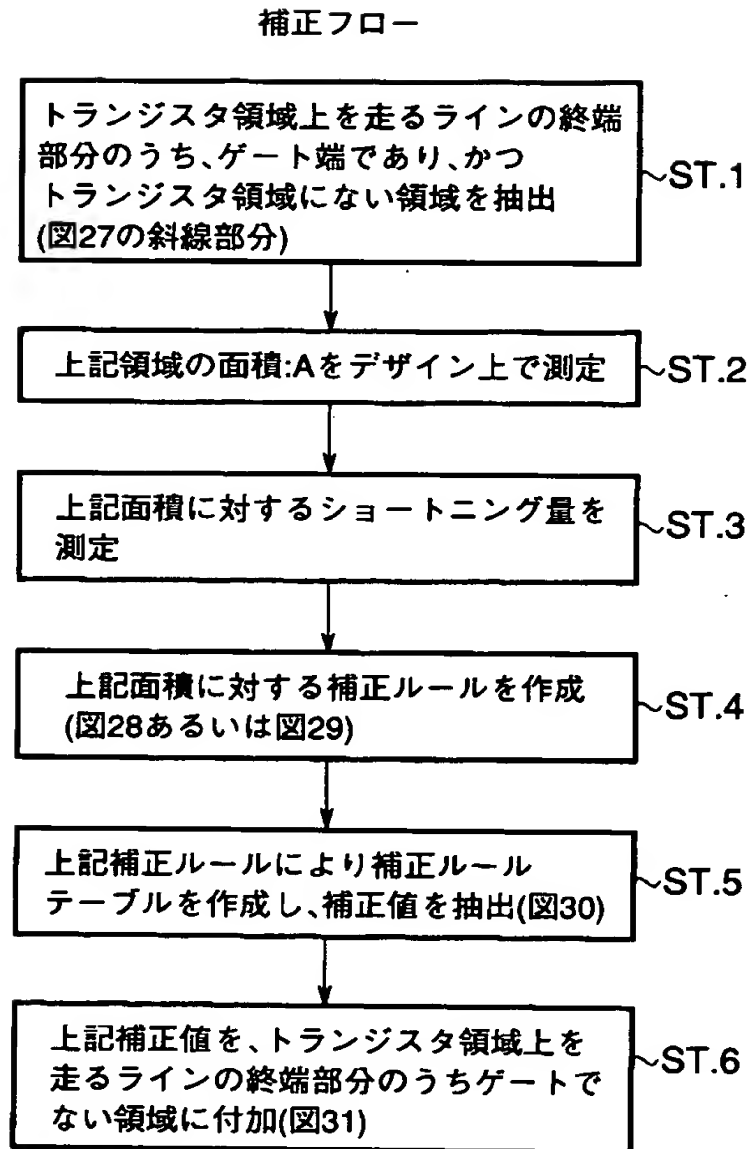
【図 2 4】

スペース	フリンジ量
$S < a$	0
$a \leq S < b$	+W
$b \leq S < c$	+2W
$S \geq c$	+3W

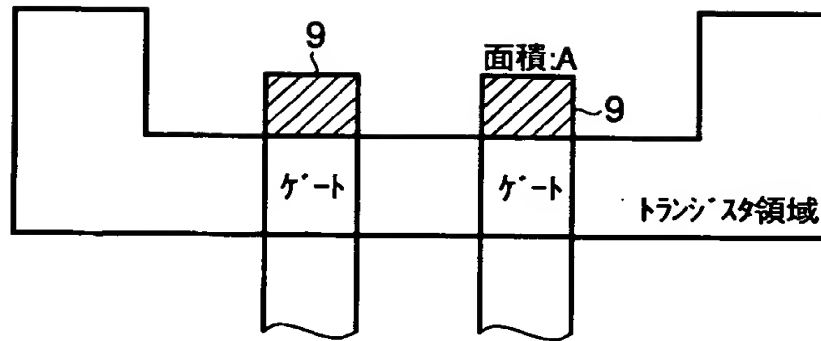
【図 2 5】



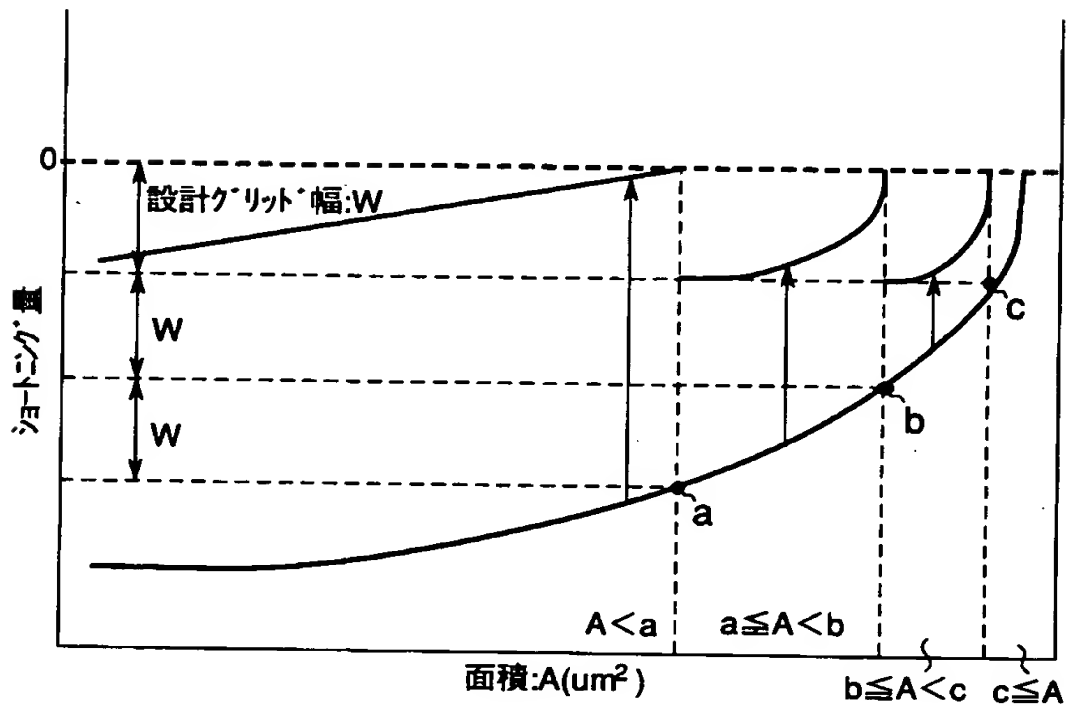
【図 2 6】



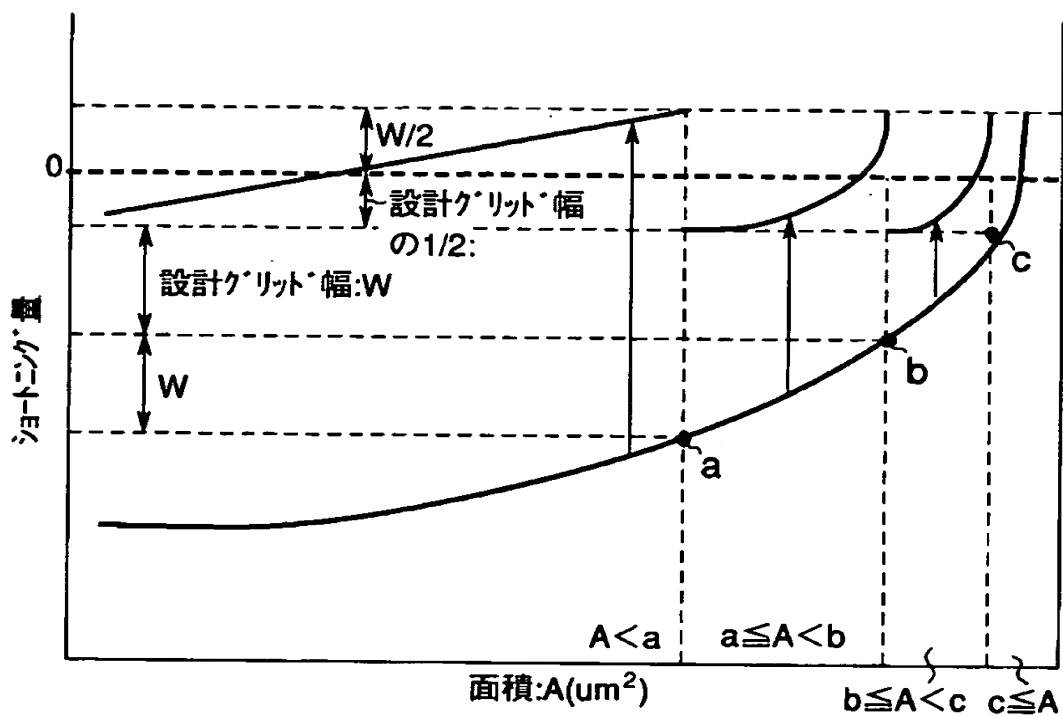
【図 2 7】



【図 2 8】



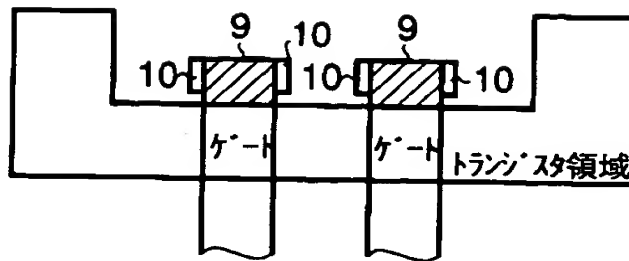
【図 29】



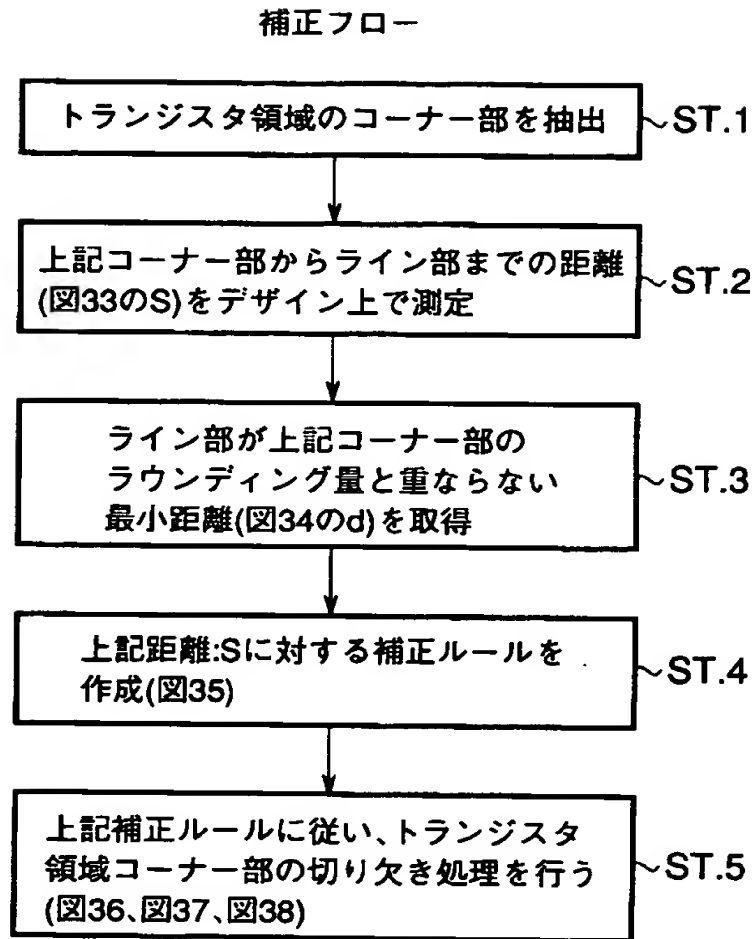
【図 30】

面積: A	フリンジ量
$A < a$	$+3W$
$a \leq A < b$	$+2W$
$b \leq A < c$	$+W$
$c \leq A$	0

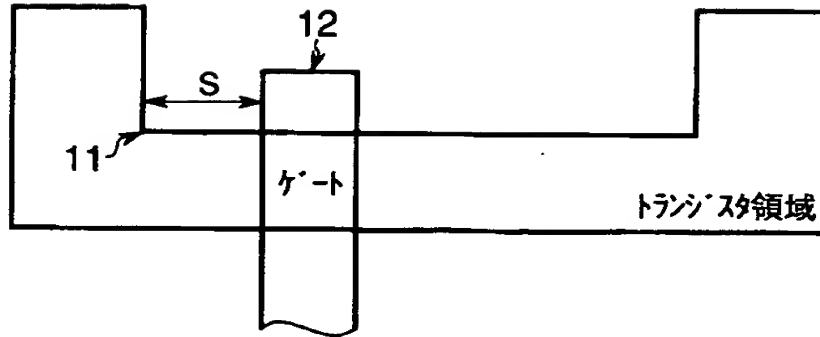
【図 3 1】



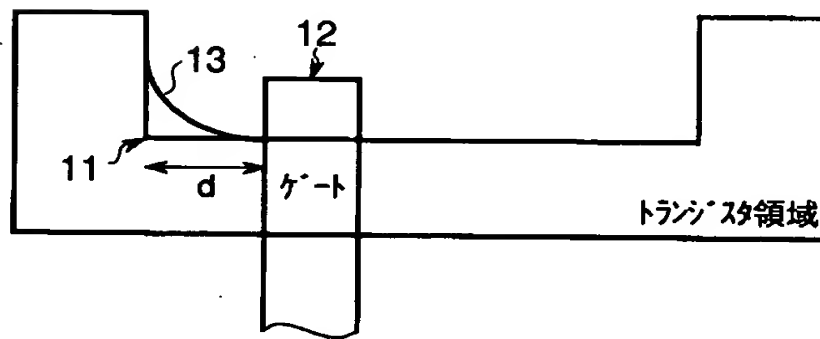
【図 3 2】



【図 3 3】



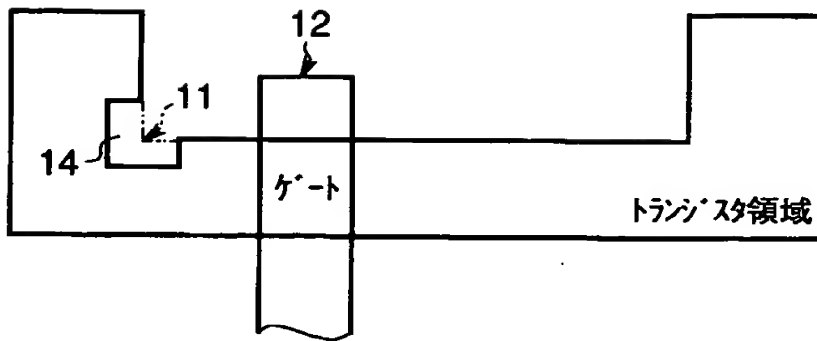
【図 3 4】



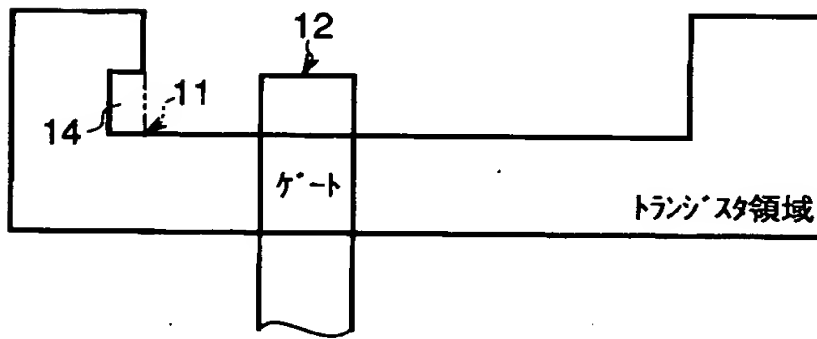
【図 3 5】

距離:S	補正
$S < d$	切り欠き処理有り
$S \geq d$	切り欠き処理無し

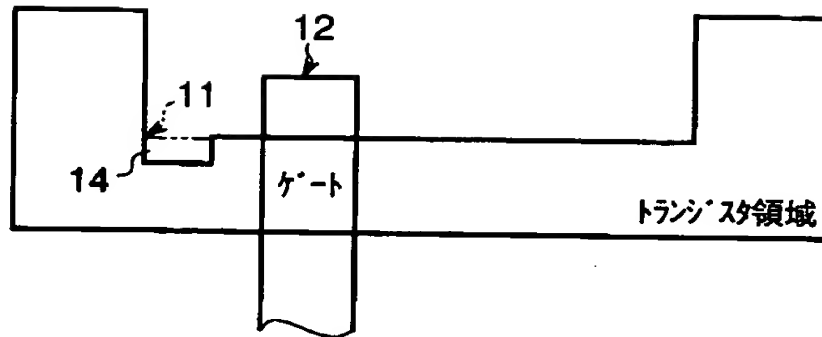
【図 3 6】



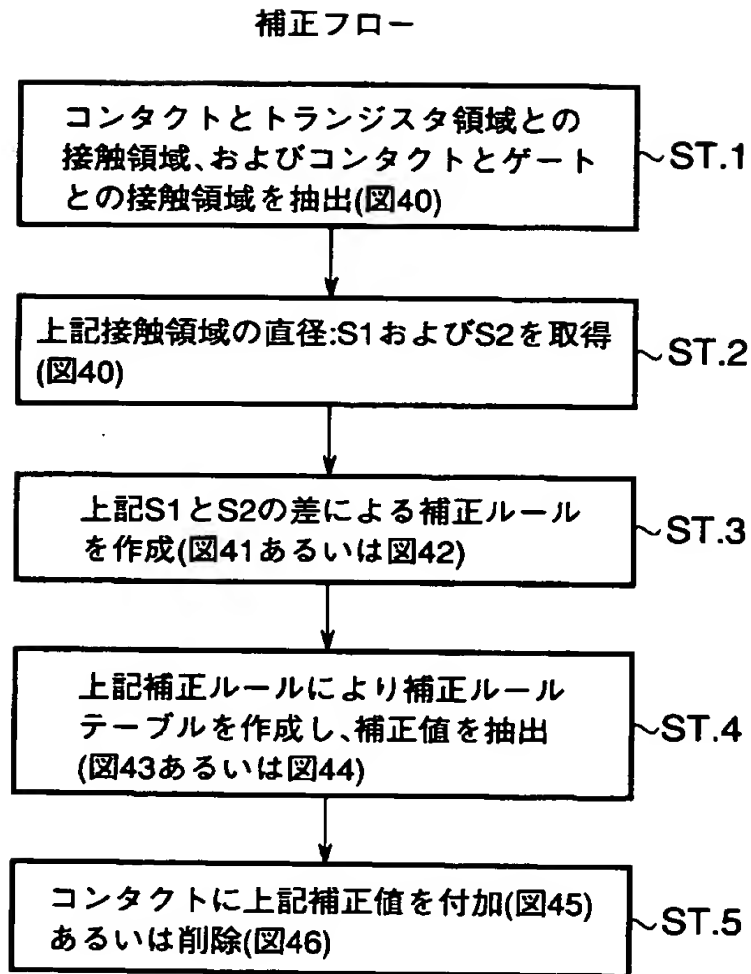
【図 3 7】



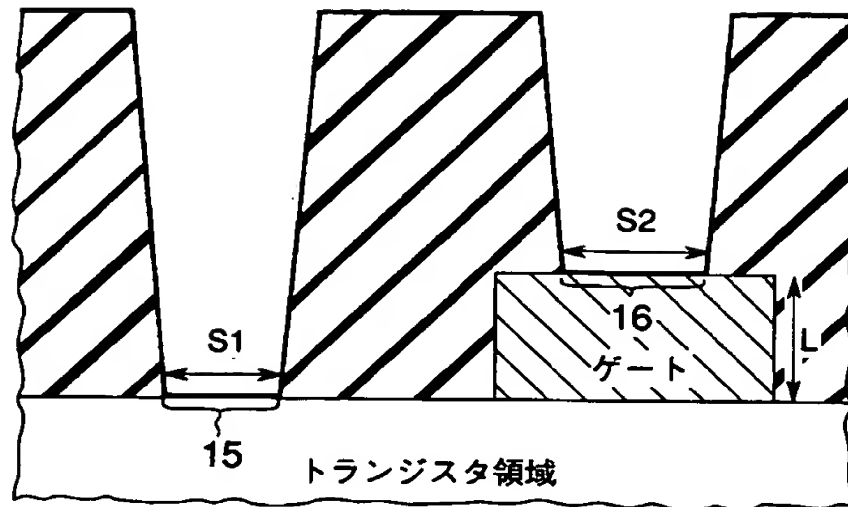
【図 3 8】



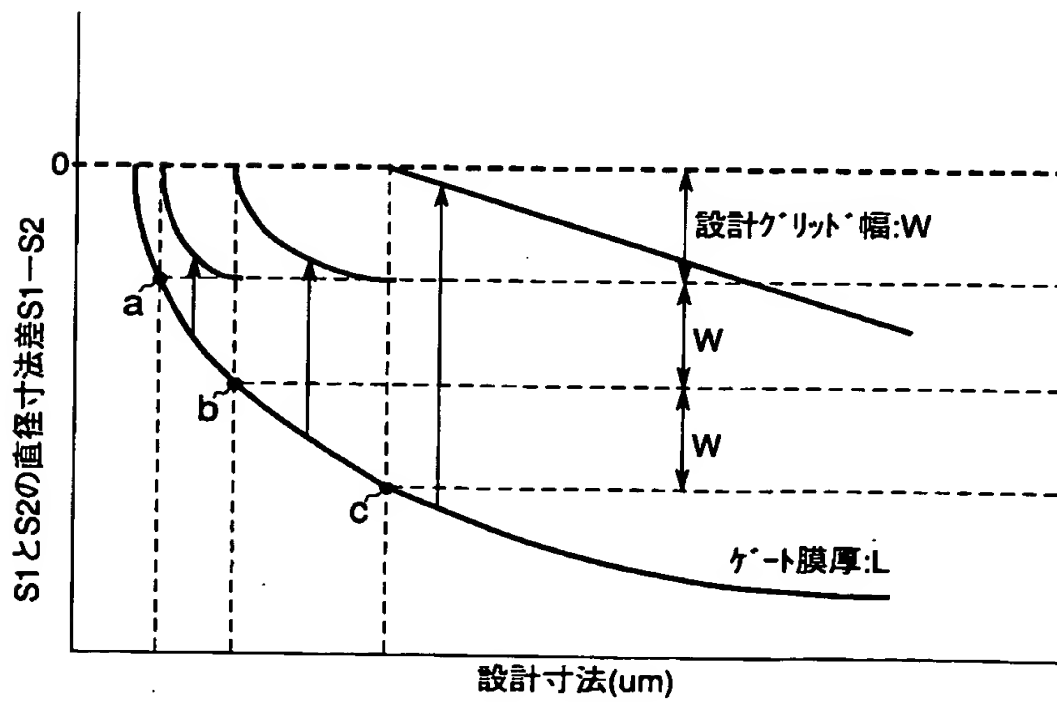
【図 3 9】



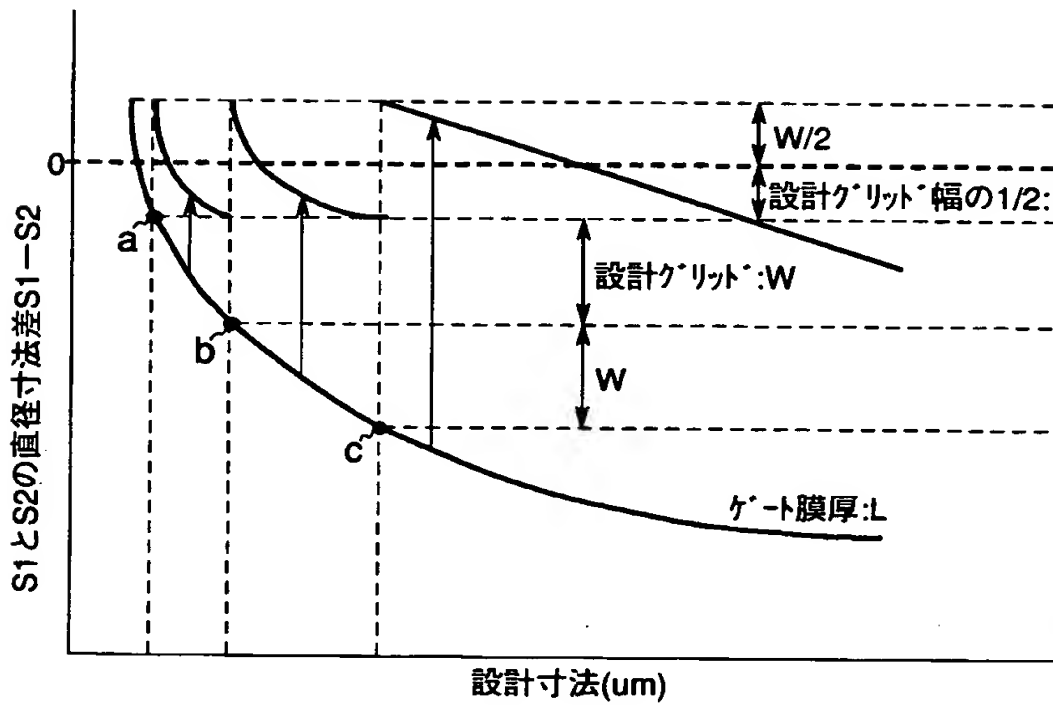
【図 40】



【図 41】



【図 4 2】



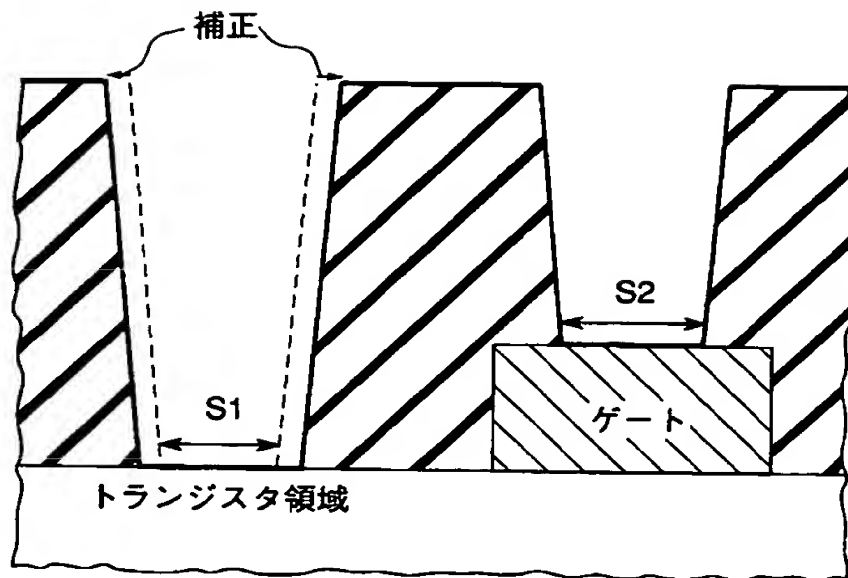
【図 4 3】

設計寸法	S1に加えるバイアス量
$S \leq a$	0
$a < S \leq b$	+W
$b < S \leq c$	+2W
$S > c$	+3W

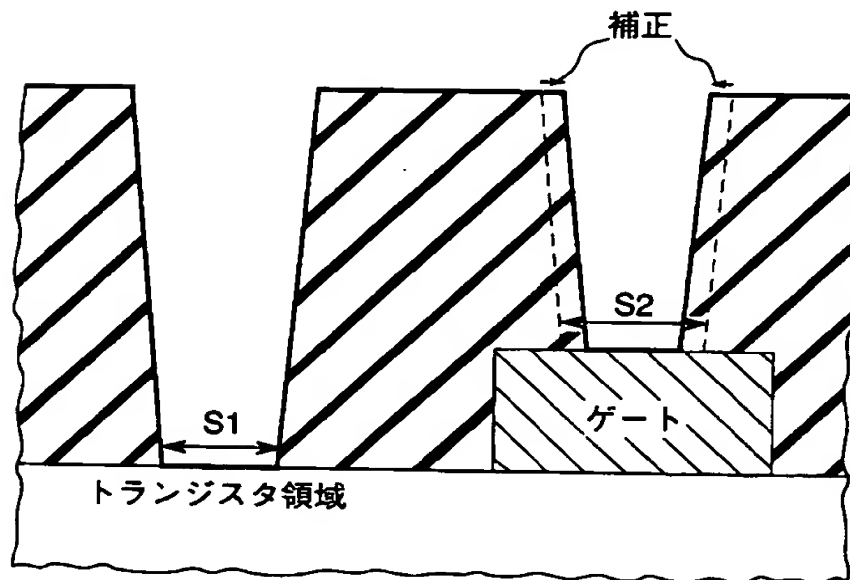
【図 4 4】

設計寸法	S2から差し引くバイアス量
$S \leq a$	0
$a < S \leq b$	-W
$b < S \leq c$	-2W
$S > c$	-3W

【図 4 5】

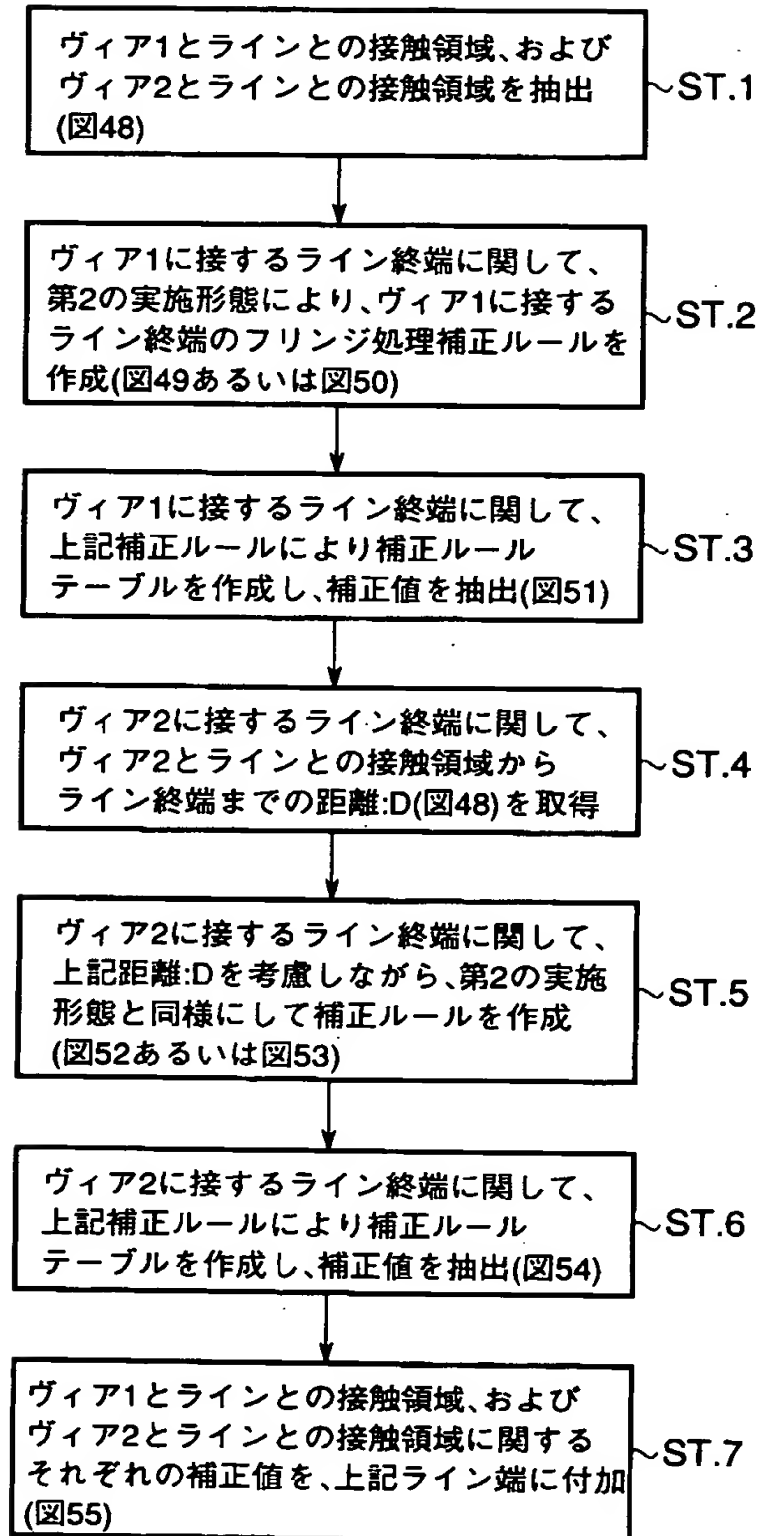


【図 4 6】

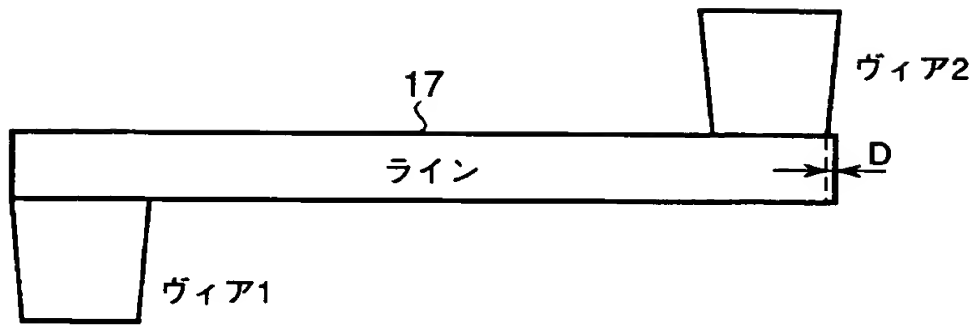


【図 4 7】

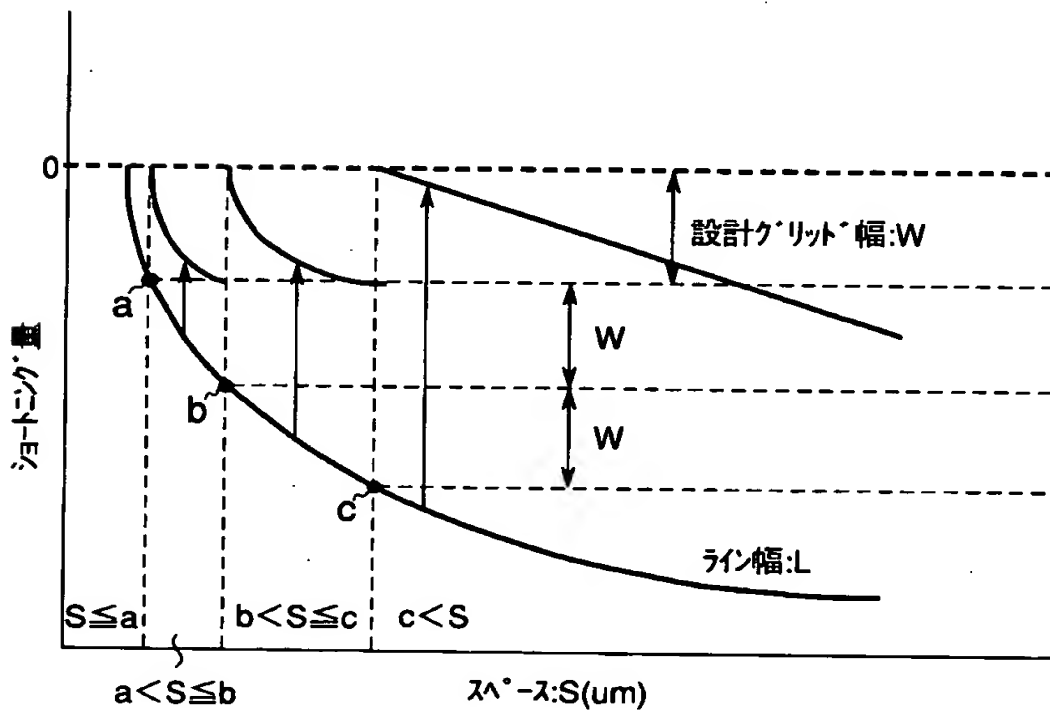
補正フロー



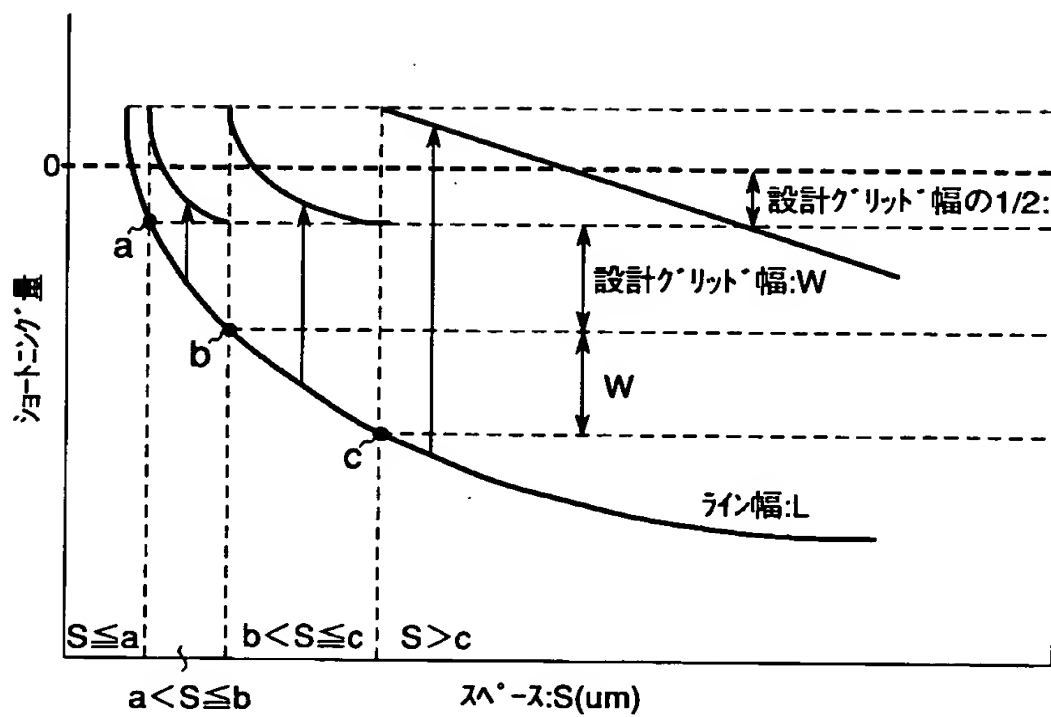
【図 48】



【図 49】



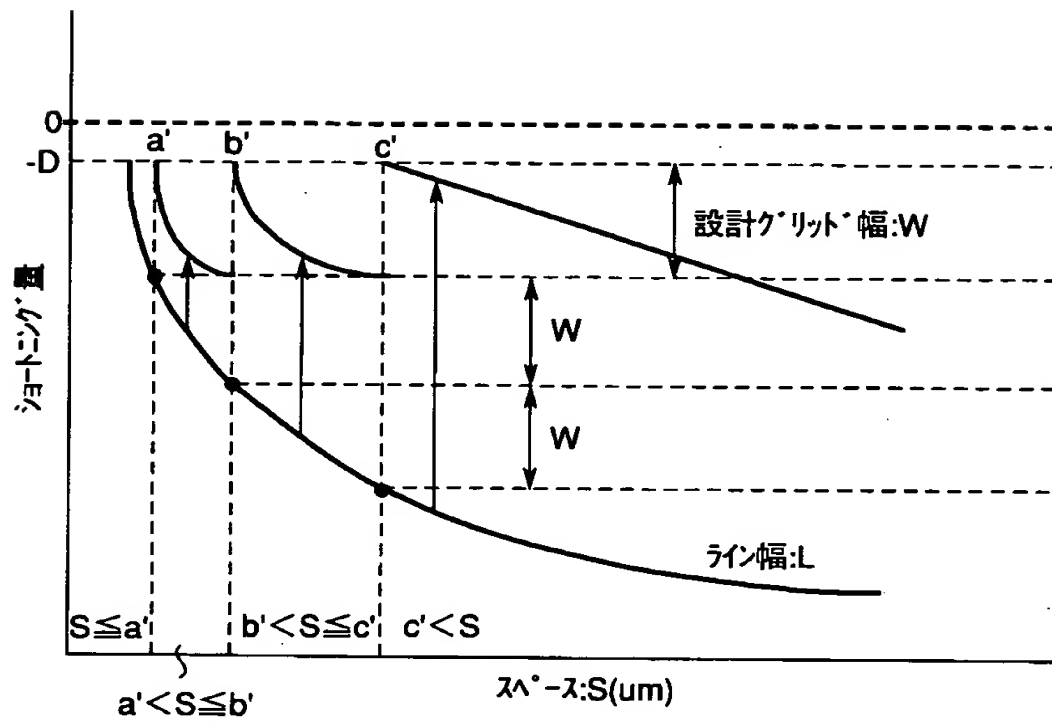
【図 5 0】



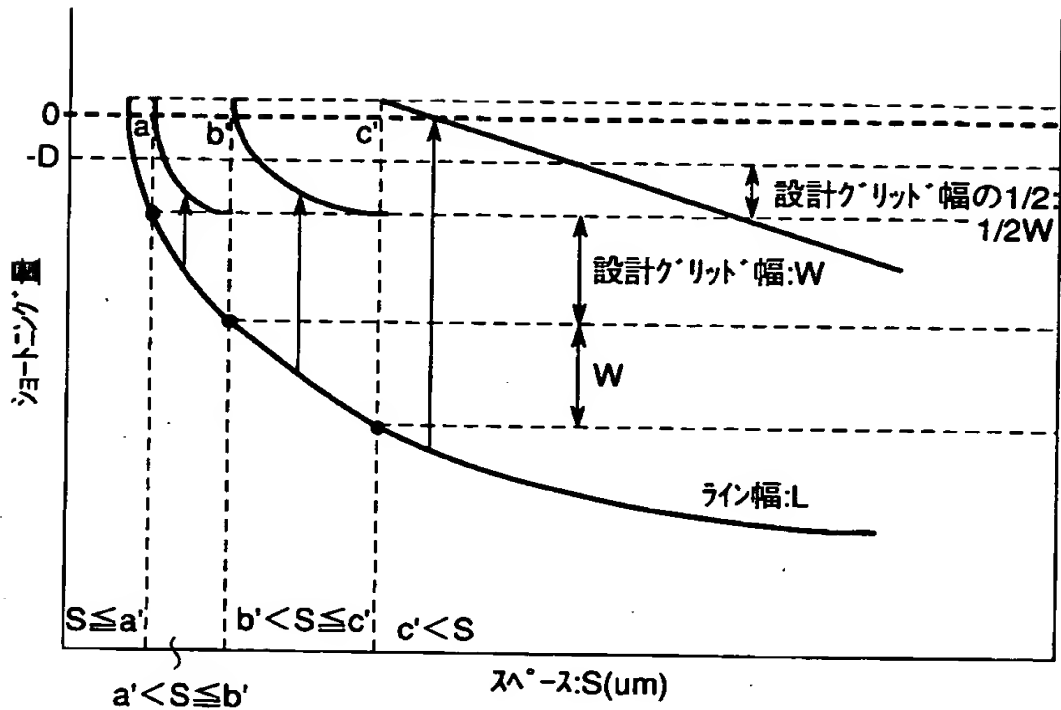
【図 5 1】

スペース	フリンジ量
$S \leq a$	0
$a < S \leq b$	$+W$
$b < S \leq c$	$+2W$
$S > c$	$+3W$

【図 5.2】



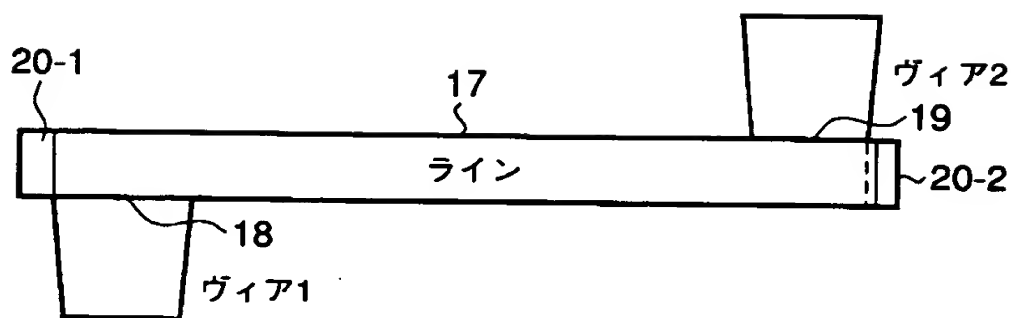
【図 5 3】



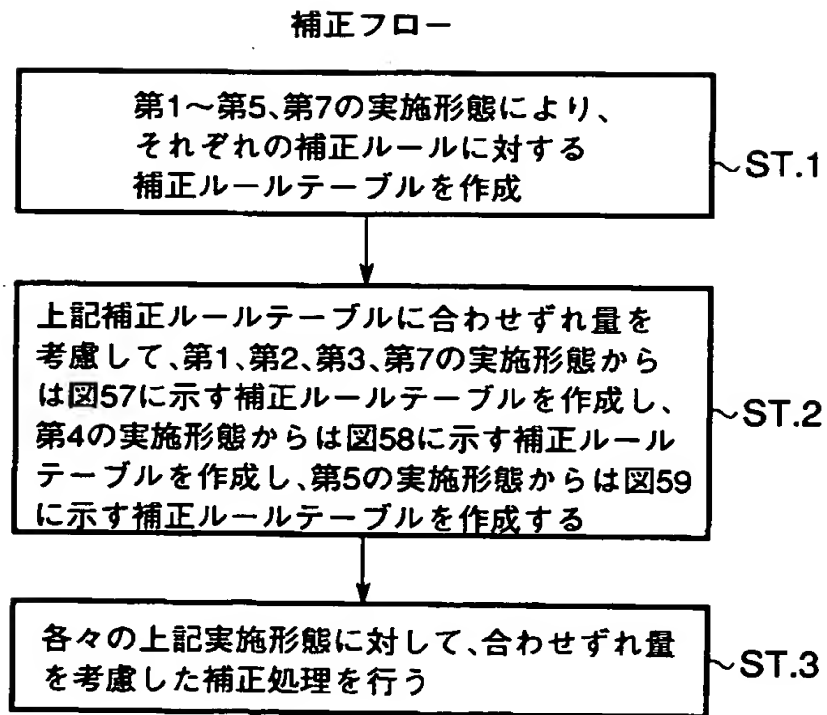
【図 5 4】

スペース	フリンジ量
$S \leq a'$	0
$a' < S \leq b'$	+W
$b' < S \leq c'$	+2W
$S > c'$	+3W

【図 55】



【図 5 6】



【図 5 7】

スペース	フリンジ量
$S \leq a$	$+C$
$a < S \leq b$	$+W+C$
$b < S \leq c$	$+2W+C$
$S > c$	$+3W+C$

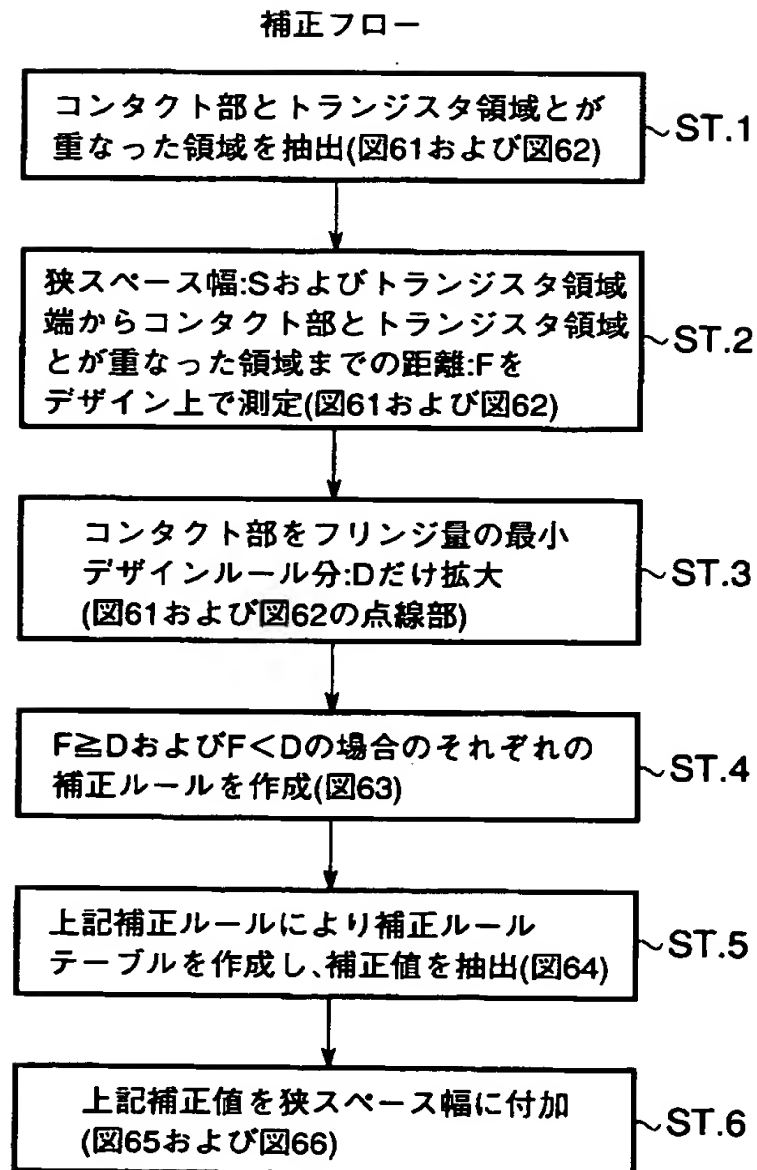
【図 5 8】

面積	フリンジ量
$S \leq a$	$+3W+C$
$a < S \leq b$	$+2W+C$
$b < S \leq c$	$+W+C$
$S > c$	$+C$

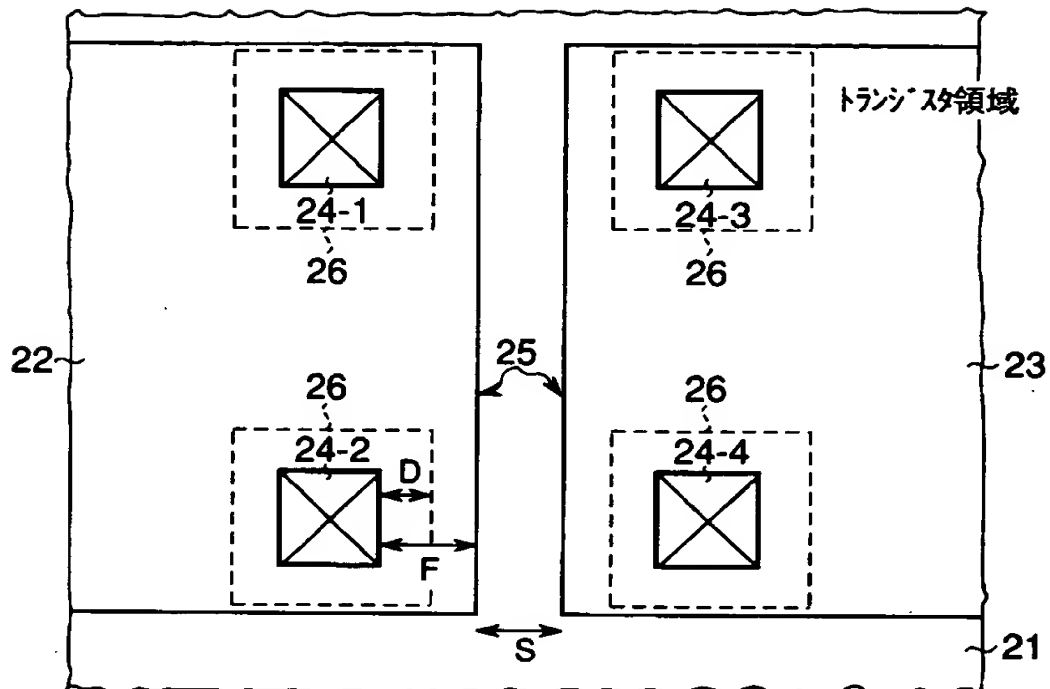
【図 5 9】

距離:S	補正
$S < a - C$	切り欠き処理有り
$S \geq a - C$	切り欠き処理無し

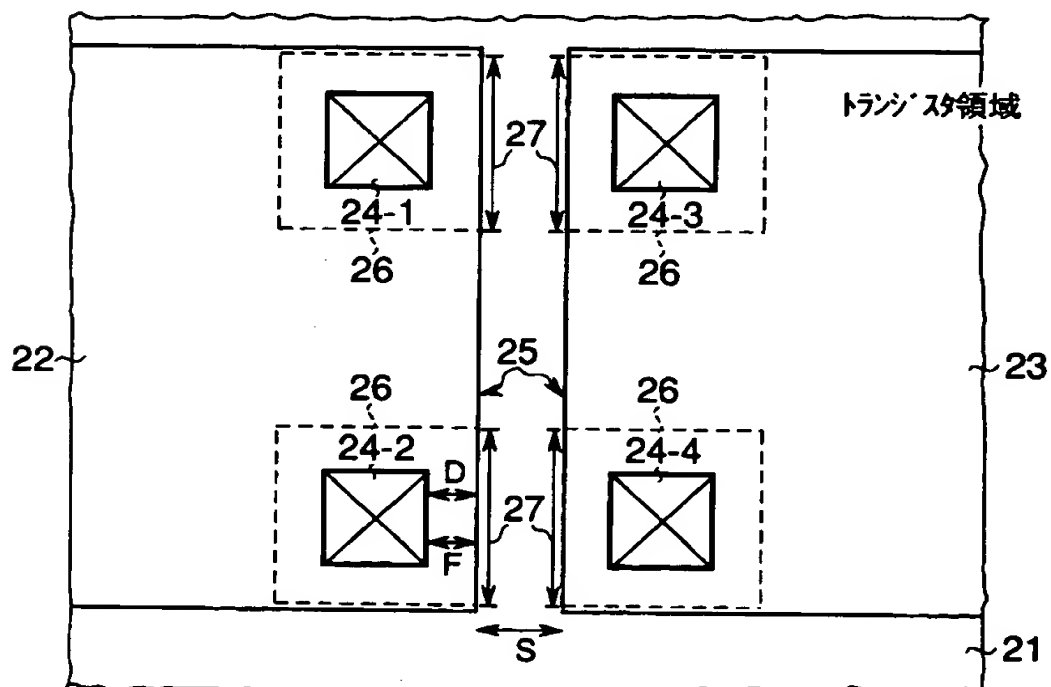
【図 6 0】



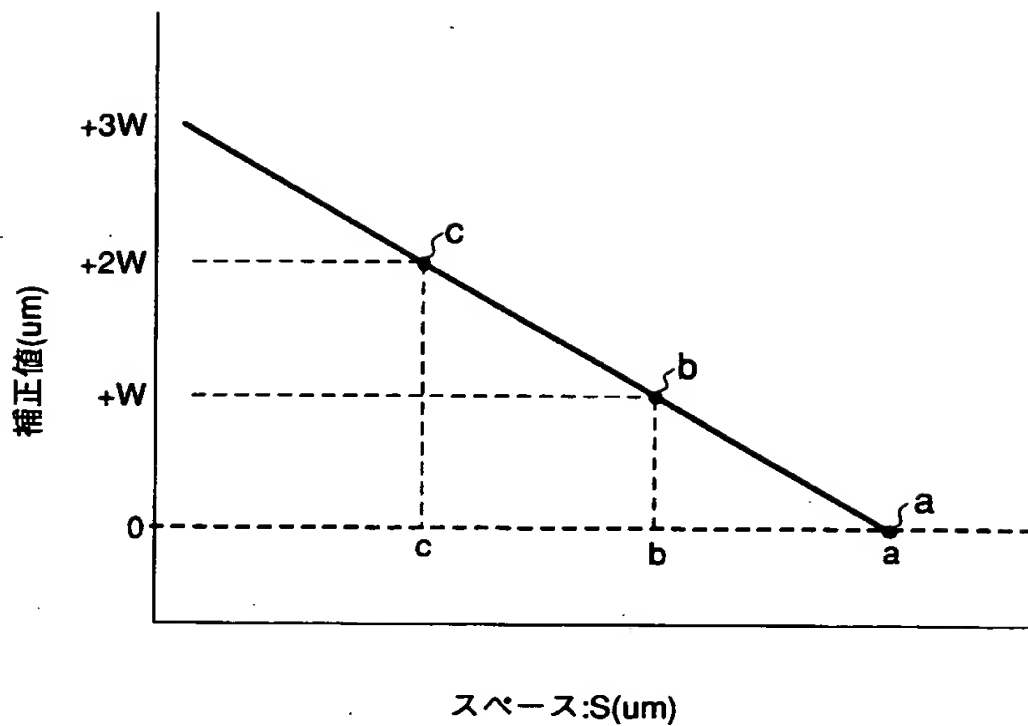
【図 6 1】



【図 6 2】



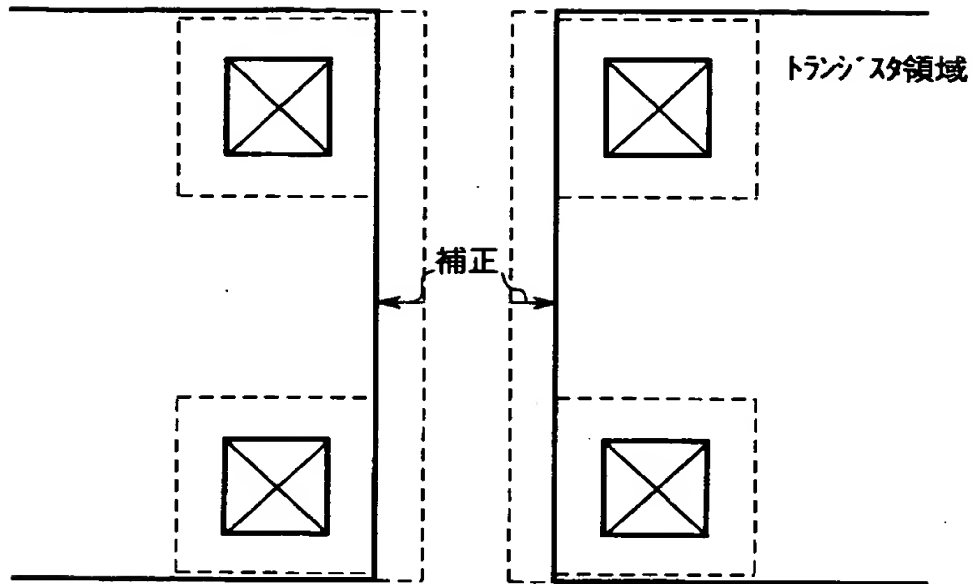
【図 6 3】



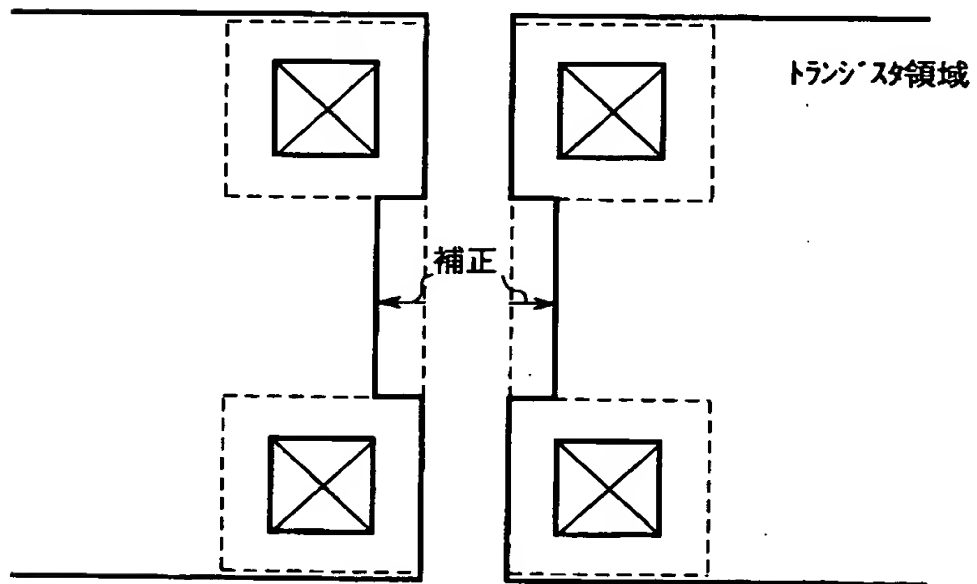
【図 6 4】

スペース	補正量
$S \geq a$	0
$b \leq S < a$	+W
$c \leq S < b$	+2W
$S < c$	+3W

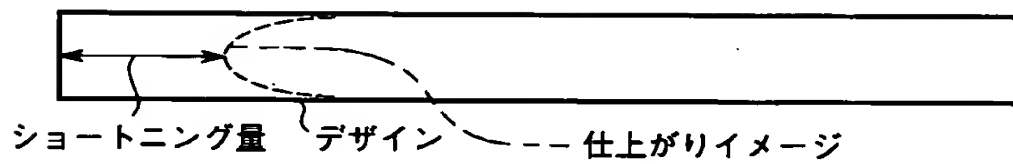
【図 6 5】



【図 6 6】



【図 6 7】



【書類名】 要約書

【要約】

【課題】 十分な補正精度を得ることができる半導体製造用マスクのパターン補正方法を提供すること。

【解決手段】 ライン部とコンタクト部とが重なった領域を抽出し(ST.1)、上記重なった領域とこの重なった領域に隣接する他のライン部とのスペース、および前記ライン部のライン幅を抽出し(ST.2)、ウェーハプロセス後に生ずるライン部のライン幅変動量とスペースとの依存性を取得し(ST.3)、依存性を設計グリッド幅毎に分割し、この設計グリッド幅と依存性との交点を抽出し(ST.4)、関係を交点区間毎に区切り、交点区間毎に、設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成し(ST.5)、上記重なった領域に対し、補正ルールテーブルに基づいた設計グリッド幅の整数倍の補正を行う(ST.6)。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町72番地
氏 名	株式会社東芝